

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-297091

(43)Date of publication of application : 09.10.2002

(51)Int.CI.

G09G 3/28

G09G 3/20

H01J 11/02

H04N 5/66

(21)Application number : 2001-258795

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.08.2001

(72)Inventor : YAMADA KAZUHIRO

(30)Priority

Priority number : 2000256913 Priority date : 28.08.2000 Priority country : JP

2000281547 18.09.2000

2001014124 23.01.2001

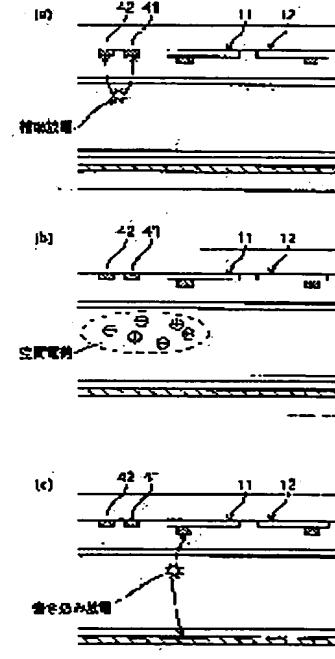
JP

JP

## (54) PLASMA DISPLAY PANEL, DRIVE METHOD THEREFOR, AND PLASMA DISPLAY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide technology capable of surely performing the writing of data, even if write time is set short in a PDP(plasma display panel).  
**SOLUTION:** In this plasma display panel, when a scanning pulse is applied to a scanning electrode 11, a potential difference of ( $V_t - V_g$ ) is generated between a first auxiliary discharge electrode 41 and a second auxiliary discharge electrode 42, which are connected to the scanning electrode 11. As a result, auxiliary discharge is generated between the first auxiliary discharge electrode 41 and the second auxiliary discharge electrode 42, every time the scanning pulse is applied to the scanning electrode 11. Then, when the auxiliary discharge is generated, space charges are generated in discharge space, while a data pulse is applied to a data electrode 21 corresponding to a lighting cell, every time the scanning pulse is applied to the scanning electrode 11. At this time, since great numbers of charged particles generated by the auxiliary discharge exist in the cell, write discharge is generated surely in a very short time.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-297091

(P2002-297091A)

(43)公開日 平成14年10月9日(2002.10.9)

(51) Int.Cl. G 09 G 3/28 3/20	識別記号 6 2 1 6 2 4  6 4 1	F I G 09 G 3/20	テ-ヨード(参考) 6 2 1 A 5 C 0 4 0 6 2 4 M 5 C 0 5 8 6 2 4 N 5 C 0 8 0  H 01 J 11/02 B
	審査請求 未請求 請求項の数97 O L (全 44 頁)		最終頁に続く

(21)出願番号 特願2001-258795(P2001-258795)	(71)出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日 平成13年8月28日(2001.8.28)	(72)発明者 山田 和弘 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号 特願2000-256913(P2000-256913)	(74)代理人 100090446 弁理士 中島 司朗
(32)優先日 平成12年8月28日(2000.8.28)	
(33)優先権主張国 日本 (JP)	
(31)優先権主張番号 特願2000-281547(P2000-281547)	
(32)優先日 平成12年9月18日(2000.9.18)	
(33)優先権主張国 日本 (JP)	
(31)優先権主張番号 特願2001-14124(P2001-14124)	
(32)優先日 平成13年1月23日(2001.1.23)	
(33)優先権主張国 日本 (JP)	

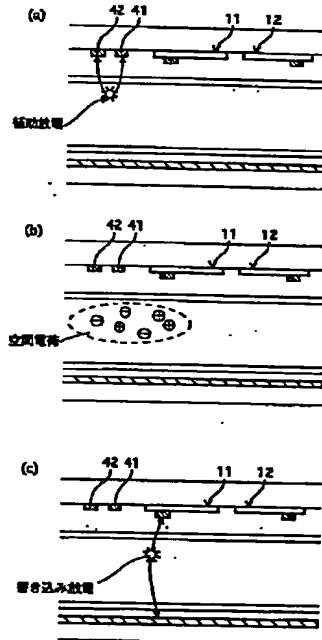
最終頁に続く

(54)【発明の名称】 プラズマディスプレイパネル、その駆動方法、及びプラズマディスプレイ装置

(57)【要約】

【課題】 PDPにおいて、書き込み時間を短く設定しても確実に書き込みができる技術を提供する。

【解決手段】 走査電極11に走査パルスが印加されると、走査電極11に接続されている第1補助放電電極41と、第2補助放電電極42との間に( $V_t-V_g$ )の電位差が生ずる。従って、走査電極11に走査パルスが印加される毎に、第1補助放電電極41と第2補助放電電極42との間で補助放電が発生する。そして、補助放電が発生すると、放電空間中に空間電荷が発生する。一方、走査電極11に走査パルスが印加される毎に、点灯セルに相当するデータ電極21にはデータパルスが印加される。このとき、補助放電によって発生した大量の荷電粒子が当該セルに存在しているので、きわめて短時間で確実に書き込み放電が発生する。



【特許請求の範囲】

【請求項 1】 互いに並行に配された複数対の第1電極及び第2電極と、これに立体交差して配置された複数の第3電極とを有し、電極が立体交差する複数箇所にセルが形成されたプラズマディスプレイパネルを、書き込み期間に、前記複数の第1電極に走査パルスを順次印加すると共に複数の第3電極に選択的にデータパルスを印加することによって、前記複数のセルに選択的に書き込み放電を発生させて書き込みを行ない、当該書き込み期間後の維持期間に、書き込まれたセルを発光させる方式で駆動する駆動方法であって、

前記書き込み期間において、

前記複数のセルの中で少なくとも選択的に書き込みを行うセルもしくは当該セルに隣接するセルに対して、前記第1電極に走査パルスが印加されているときに、前記書き込み放電よりも放電規模が小さい書き込み補助放電を発生させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記書き込み期間において、

前記選択的に書き込みを行うセル以外のセルに対して、前記第1電極に走査パルスに同期して、前記第3電極に前記データパルスと同極性の補助パルスを印加する補助パルス印加ステップを備えることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 前記補助パルス印加ステップで印加される補助パルスは、

前記データパルスに比べてパルス幅が短く設定されていることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】 前記補助パルス印加ステップで印加される補助パルスは、前記データパルスに比べて平均電圧の絶対値が低く設定されていることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】 前記補助パルス印加ステップで印加される補助パルスは、前記データパルスに比べて波高が低く設定されていることを特徴とする請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項 6】 前記補助パルス印加ステップで印加される補助パルスの波形は、

三角波状又はパルス列状であることを特徴とする請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】 前記補助パルス印加ステップでは、前記選択的に書き込みを行うセル以外のすべてのセルの中で、書き込みを行うセルの近傍に存在するセルを検出し、

検出されたセルに対して選択的に前記補助パルス印加することを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項 8】 当該駆動方法は、1フィールド内に複数のサブフィールドを有する時分割階調表示方式で駆動するものであって、

1フィールド内の複数のサブフィールドの中から選択された特定の輝度重み付けを持つサブフィールドの書き込み期間において、前記書き込み補助放電を発生させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項 9】 各フィールドごとに、当該フィールド期間内における発光セル数が一定の基準を満たすか否かを判定し、

前記判定で基準を満たすフィールドに対して選択的に前記書き込み補助放電を発生させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項 10】 前記書き込み補助放電による発光量は、書き込みを行うセルにおいて書き込み期間中に発生する放電の発光量に対して、 $1/10 \sim 1/100$  の範囲内にあることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項 11】 前記書き込み期間において、前記走査パルスが印加されている前記第1電極と、前記データパルスが印加されていない前記第3電極との間の電圧が、

前記第1電極と前記第3電極との間の放電開始電圧を越えるよう調整することによって、前記書き込み補助放電を発生させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項 12】 前記書き込み期間において、前記複数の第3電極全体に、前記データパルスと同極性の第1ベースパルスを印加し、前記データパルスは、当該第1ベースパルスに重量させて第3電極に印加することを特徴とする請求項11記載のプラズマディスプレイパネルの駆動方法。

【請求項 13】 前記書き込み期間において、前記複数の第1電極全体に、前記走査パルスと同極性の第2ベースパルスを印加し、前記走査パルスは、当該第2ベースパルスに重量させて第1電極に順次印加することを特徴とする請求項11記載のプラズマディスプレイパネルの駆動方法。

【請求項 14】 前記書き込み期間において、前記第1電極に印加される走査パルスの波高は、当該走査パルスが印加されている前記第1電極と、前記データパルスが印加されていない前記第3電極との間の電圧が、前記第1電極と前記第3電極との間の放電開始電圧を越えるよう設定されていることを特徴とする請求項11記載のプラズマディスプレイパネルの駆動方法。

【請求項 15】 前記書き込み期間中に、前記第2電極の電圧を、書き込み放電が発生したセルにおいては、前記第1電極と前記第2電極との間で当該書き込み放電に誘発されて

書き込み維持放電が発生し、且つ、書き込み補助放電が発生したセルにおいては、前記第1電極と前記第2電極との間で書き込み維持放電が発生しないような範囲内に維持することを特徴とする請求項11, 12, 13, 14記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 前記プラズマディスプレイパネルには、前記各第1電極に隣接して補助放電電極が配設され、

前記書き込み期間において、

前記走査パルスが印加されている第1の電極と当該第1の電極に隣接する補助放電電極との間で、前記書き込み補助放電を発生させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項17】 前記書き込み期間において、

前記第1電極に走査パルスが印加されているときに、当該第1電極とこれに隣接する補助放電電極との間の電圧が放電開始電圧を超えるよう、当該補助放電電極に印加する電圧を調整することを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項18】 前記維持期間において、第1電極と補助放電電極に同一波形の維持パルスを印加することを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項19】 前記書き込み期間に先立つ初期化期間において、

前記第1電極と補助放電電極に同一波形の初期化パルスを印加することを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項20】 前記書き込み期間に先立つ初期化期間において、

前記補助放電電極の電位を、第1電極の電位より低くすることを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項21】 前記初期化期間において、

前記第1電極には正極性の初期化パルスを印加し、前記補助放電電極をグラウンド電位に維持することを特徴とする請求項20記載のプラズマディスプレイパネルの駆動方法。

【請求項22】 前記初期化期間において、

前記第1電極には正極性の初期化パルスを印加し、前記補助放電電極には負極性のパルスを印加することを特徴とする請求項20記載のプラズマディスプレイパネルの駆動方法。

【請求項23】 前記維持期間において、

前記補助放電電極をハイインピーダンス状態に維持することを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項24】 前記維持期間において、

前記補助放電電極の電位を前記第1電極及び第2電極の電位が変動する範囲内に維持することを特徴とする請求

項16記載のプラズマディスプレイパネルの駆動方法。

【請求項25】 前記書き込み期間において、前記第3電極にデータパルスを印加開始するタイミングと同時もしくは当該タイミング以前に、前記書き込み補助放電を発生させることを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項26】 書き込み期間において、前記第1電極に走査パルスを印加するタイミングより500ns以下の時間遅れて、前記第3電極にデータパルスを印加することを特徴とする請求項25記載のプラズマディスプレイパネルの駆動方法。

【請求項27】 前記プラズマディスプレイパネルには、前記各第1電極に隣接して第1補助放電電極と当該第1補助放電電極に隣接して第2補助放電電極が配設され、

前記書き込み期間において、

前記第1補助放電電極と第2補助放電電極との間で、前記書き込み補助放電を発生させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項28】 前記書き込み期間において、前記第1電極に走査パルスが印加されているときに、当該第1電極に隣接する第1補助放電電極とこれに隣接する第2補助放電電極との間の電圧が、当該第1補助放電電極及び第2補助放電電極との間の放電開始電圧を超えるよう調整することを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項29】 前記各第1電極と、当該第1電極に隣接する第1補助放電電極とに、同一の電圧波形を印加することを特徴とする請求項28記載のプラズマディスプレイパネルの駆動方法。

【請求項30】 前記維持期間において、第1電極と第1補助放電電極と第2補助放電電極とに同一波形の維持パルスを印加することを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項31】 前記書き込み期間に先立つ初期化期間において、

前記第2補助放電電極の電位を、第1補助放電電極の電位より低く調整することを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項32】 前記初期化期間において、第1補助放電電極には正極性の初期化パルスを印加し、前記第2補助放電電極をグラウンド電位に維持することを特徴とする請求項31記載のプラズマディスプレイパネルの駆動方法。

【請求項33】 前記初期化期間において、第1補助放電電極には正極性の初期化パルスを印加し、前記第2補助放電電極に負極性のパルスを印加することを特徴とする請求項31記載のプラズマディスプレイパネルの駆動方法。

【請求項34】 前記維持期間において、

前記第2補助放電電極をハイインピーダンス状態に維持することを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項35】 前記維持期間において、

前記第2補助放電電極の電位を、

前記第1電極及び第2電極が変動する電位範囲内に維持することを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項36】 前記書き込み期間において、

前記第3電極にデータパルスを印加開始するタイミングと同時に当該タイミング以前に、前記書き込み補助放電を発生させることを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項37】 書き込み期間において、

前記第1電極に走査パルスを印加するタイミングより500ns以下の時間遅れて、前記第3電極にデータパルスを印加することを特徴とする請求項36記載のプラズマディスプレイパネルの駆動方法。

【請求項38】 書き込み期間において、

次に走査パルスが印加される第1電極に隣接する第1補助放電電極と第2補助放電電極との間で、前記書き込み補助放電を発生させることを特徴とする請求項27記載のプラズマディスプレイパネルの駆動方法。

【請求項39】 書き込み期間において、走査パルスが印加されている第1電極と、次に走査パルスが印加される第1電極に隣接する第1補助放電電極とには、同一の電圧波形を印加することを特徴とする請求項38記載のプラズマディスプレイパネルの駆動方法。

【請求項40】 互いに並行に配された複数対の第1電極及び第2電極と、これに立体交差して配置された複数の第3電極とを有し、電極が立体交差する複数箇所にセルが形成されたプラズマディスプレイパネルと、書き込み期間に、前記第1電極に走査パルスを順次印加すると共に第3電極に選択的にデータパルスを印加することによって、前記複数のセルに、選択的に書き込み放電を発生させて書き込みを行ない、当該書き込み期間後の維持期間に、書き込まれたセルを発光させる方式で前記プラズマディスプレイパネル駆動する駆動回路とを備えるプラズマディスプレイ装置であって、

前記駆動回路は、

前記書き込み期間において、

前記複数のセルの中で少なくとも選択的に書き込みを行うセルもしくは当該セルに隣接するセルに対して、前記第1電極に走査パルスが印加されているときに、前記書き込み放電よりも放電規模が小さい書き込み補助放電を発生させることを特徴とするプラズマディスプレイ装置。

【請求項41】 前記駆動回路は、

前記書き込み期間において、

前記選択的に書き込みを行うセル以外のセルに対して、

前記第1電極に走査パルスを印加するのと同期して、前記第3電極に前記データパルスと同極性の補助パルスを印加する補助パルス印加手段を備えることを特徴とする請求項40記載のプラズマディスプレイ装置。

【請求項42】 前記補助パルス印加手段が印加する補助パルスは、

前記データパルスに比べてパルス幅が短く設定されていることを特徴とする請求項41記載のプラズマディスプレイ装置。

【請求項43】 前記補助パルス印加手段が印加する補助パルスは、

前記データパルスに比べて平均電圧の絶対値が低く設定されていることを特徴とする請求項41記載のプラズマディスプレイ装置。

【請求項44】 前記補助パルス印加手段が印加する補助パルスは、

前記データパルスに比べて波高が低く設定されていることを特徴とする請求項43記載のプラズマディスプレイ装置。

【請求項45】 前記補助パルス印加手段が印加する補助パルスの波形は、三角波状又はパルス列状であることを特徴とする請求項43記載のプラズマディスプレイ装置。

【請求項46】 前記補助パルス印加手段は、前記選択的に書き込みを行うセル以外のすべてのセルの中で、書き込みを行うセルの近傍に存在するセルを検出し、

検出されたセルに対して選択的に前記補助パルス印加することを特徴とする請求項41記載のプラズマディスプレイ装置。

【請求項47】 前記駆動回路は、

1フィールド内に複数のサブフィールドを有する時分割階調表示方式で駆動するものであって、

1フィールド内の複数のサブフィールドの中から選択された特定の輝度重み付けを持つサブフィールドの書き込み期間において、前記書き込み補助放電を発生させることを特徴とする請求項40記載のプラズマディスプレイ装置。

【請求項48】 前記駆動回路は、

各フィールドごとに、当該フィールド期間内における発光セル数が一定の基準を満たすか否かを判定する判定手段と、

前記判定手段で基準を満たすフィールドに対して選択的に前記書き込み補助放電を発生させる補助放電手段とを備えることを特徴とする請求項40記載のプラズマディスプレイ装置。

【請求項49】 前記書き込み補助放電による発光量が、書き込みを行うセルにおいて書き込み期間中に発生する放電の発光量に対して、1/10~1/100の範囲内となるよう設定されていることを特徴とする請求項

**4 0 記載のプラズマディスプレイ装置。**

【請求項 5 0】 前記駆動回路は、

前記書き込み期間において、

前記走査パルスが印加されている前記第 1 電極と、前記データパルスが印加されていない前記第 3 電極との間の電圧が、

前記第 1 電極と前記第 3 電極との間の放電開始電圧を越えるよう調整することによって、前記書き込み補助放電を発生させることを特徴とする請求項 4 0 記載のプラズマディスプレイ装置。

【請求項 5 1】 前記駆動回路は、

前記書き込み期間において、

前記複数の第 3 電極全体に、前記データパルスと同極性の第 1 ベースパルスを印加する第 1 ベースパルス印加手段と、

前記第 3 電極に印加されるデータパルスを、当該第 1 ベースパルスに重疊させる第 1 パルス重疊手段とを備えることを特徴とする請求項 5 0 記載のプラズマディスプレイ装置。

【請求項 5 2】 前記駆動回路は、

前記書き込み期間において、

前記複数の第 1 電極全体に、前記走査パルスと同極性の第 2 ベースパルスを印加する第 2 ベースパルス印加手段と、

前記第 1 電極に順次印加する走査パルスを、当該第 2 ベースパルスに重疊させる第 2 パルス重疊手段とを備えることを特徴とする請求項 5 0 記載のプラズマディスプレイ装置。

【請求項 5 3】 前記駆動回路が、前記第 1 電極に印加する走査パルスの波高は、

当該走査パルスが印加されている前記第 1 電極と、前記データパルスが印加されていない前記第 3 電極との間の電圧が、

前記第 1 電極と前記第 3 電極との間の放電開始電圧を越えるよう設定されていることを特徴とする請求項 5 0 記載のプラズマディスプレイ装置。

【請求項 5 4】 前記駆動回路は、

前記書き込み期間中における前記第 2 電極の電圧を、書き込み放電が発生したセルにおいては、前記第 1 電極と前記第 2 電極との間で当該書き込み放電に誘発されて書き込み維持放電が発生し、且つ、書き込み補助放電が発生したセルにおいては、前記第 1 電極と前記第 2 電極との間で書き込み維持放電が発生しないような範囲内に維持する電圧調整手段を備えることを特徴とする請求項 5 0, 5 1, 5 2, 5 3 記載のプラズマディスプレイ装置。

【請求項 5 5】 前記プラズマディスプレイパネルには、前記各第 1 電極に隣接して補助放電電極が配設され、

前記駆動回路は、

前記書き込み期間において、

前記走査パルスが印加されている第 1 の電極と当該第 1 の電極に隣接する補助放電電極との間で前記書き込み補助放電を発生させる補助放電発生手段を備えることを特徴とする請求項 4 0 記載のプラズマディスプレイ装置。

【請求項 5 6】 前記補助放電発生手段は、

前記第 1 電極に走査パルスが印加されているときに、当該第 1 電極とこれに隣接する補助放電電極との間の電圧が放電開始電圧を超えるよう、当該補助放電電極に印加する電圧を調整することを特徴とする請求項 5 5 記載のプラズマディスプレイ装置。

【請求項 5 7】 前記駆動回路は、

前記書き込み期間において、

前記第 3 電極にデータパルスを印加開始するタイミングと同時もしくは当該タイミング以前に、前記書き込み補助放電を発生させることを特徴とする請求項 5 5 記載のプラズマディスプレイ装置。

【請求項 5 8】 前記駆動回路は、

書き込み期間において、

前記第 1 電極に走査パルスを印加するタイミングより 5 0 0 n s 以下の時間遅れて、前記第 3 電極にデータパルスを印加することを特徴とする請求項 5 7 記載のプラズマディスプレイ装置。

【請求項 5 9】 前記駆動回路は、

前記維持期間に前記第 1 電極に印加する維持パルスを発生する維持パルス発生回路と、

前記維持パルス発生回路の出力電圧を基準電位として動作し、前記書き込み期間に先立つ初期化期間において前記第 1 電極に初期化パルスを印加する初期化パルス発生回路と、

前記初期化パルス発生回路の出力電圧を基準電位として動作し、第 1 電極に順次走査パルスを印加する走査パルス発生回路と、

前記初期化パルス発生回路または前記維持パルス発生回路の出力電圧を基準電位として動作し、第 1 電極と補助放電電極との間で補助放電を発生させる放電誘発パルスを、前記補助放電電極に印加する放電誘発パルス出力回路とを備えることを特徴とする請求項 5 5 記載のプラズマディスプレイ装置。

【請求項 6 0】 前記駆動回路は、

前記維持期間に前記第 1 電極に印加する維持パルスを発生する維持パルス発生回路と、

前記維持パルス発生回路の出力電圧を基準電位として動作し、前記書き込み期間に先立つ初期化期間において前記第 1 電極に初期化パルスを印加する初期化パルス発生回路と、

前記初期化パルス発生回路の出力電圧を基準電位として動作し、第 1 電極に順次走査パルスを印加する走査パルス発生回路と、

前記維持パルス発生回路の出力を基準電位として動作

し、前記補助放電電極に、前記第1電極に印加する初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路と、

前記第2初期化パルス発生回路の出力を基準電位として動作し、

第1電極と補助放電電極との間で補助放電を発生させる放電誘発パルスを前記補助放電電極に印加する放電誘発パルス出力回路とを備えることを特徴とする請求項5・5記載のプラズマディスプレイ装置。

【請求項6・1】 前記放電誘発パルス出力回路は、前記維持期間において、

前記補助放電電極をハイインピーダンス状態に維持できるよう構成されていることを特徴とする請求項5・9、6・0記載のプラズマディスプレイ装置。

【請求項6・2】 前記放電誘発パルス出力回路は、前記維持期間において、

前記補助放電電極の電位を、前記第1電極及び第2電極の電位が変動する範囲内に維持できるよう構成されていることを特徴とする請求項5・9、6・0記載のプラズマディスプレイ装置。

【請求項6・3】 前記駆動回路は、

前記維持期間に前記第1電極に印加する維持パルスを発生する維持パルス発生回路と、前記維持パルス発生回路の出力電圧を基準電位として動作し、前記書き込み期間に先立つ初期化期間において前記第1電極に初期化パルスを印加する初期化パルス発生回路と、前記初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、

前記維持パルス発生回路の出力電圧を基準電位として動作し、第1電極と補助放電電極との間で補助放電を発生させる放電誘発パルスを前記補助放電電極に印加する放電誘発パルス出力回路と、

前記放電誘発パルス出力回路の出力を基準電位として動作し、前記補助放電電極に、前記第1電極に印加する初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路とを備えることを特徴とする請求項5・5記載のプラズマディスプレイ装置。

【請求項6・4】 前記第2初期化パルス発生回路は、前記維持期間において、

前記補助放電電極をハイインピーダンス状態に維持できるよう構成されていることを特徴とする請求項6・3記載のプラズマディスプレイ装置。

【請求項6・5】 前記第2初期化パルス発生回路は、前記維持期間において、

前記補助放電電極の電位を、前記第1電極及び第2電極の電位が変動する範囲内に維持できるよう構成されていることを特徴とする請求項6・3記載のプラズマディスプレイ装置。

【請求項6・6】 前記プラズマディスプレイパネルには、前記各第1電極に隣接して第1補助放電電極と当該第1補助放電電極に隣接して第2補助放電電極が設置され、

前記駆動回路は、

前記書き込み期間において、

前記第1補助放電電極と第2補助放電電極との間で、前記書き込み補助放電を発生させる補助放電発生手段を備えることを特徴とする請求項4・0記載のプラズマディスプレイ装置。

【請求項6・7】 前記補助放電発生手段は、

前記第1電極に走査パルスが印加されているときに、当該第1電極に隣接する第1補助放電電極とこれに隣接する第2補助放電電極との間の電圧が放電開始電圧を超えるよう、当該第1補助放電電極及び第2補助放電電極との間の電圧を調整することを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項6・8】 前記プラズマディスプレイパネルにおいて、各第1電極と当該第1電極に隣接する第1補助放電電極とが互いに接続されていることを特徴とする請求項6・7記載のプラズマディスプレイ装置。

【請求項6・9】 前記駆動回路は、

前記書き込み期間において、

前記第3電極にデータパルスを印加開始するタイミングと同時にもしくは当該タイミング以前に、前記書き込み補助放電を発生させることを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項7・0】 前記駆動回路は、

書き込み期間において、

前記第1電極に走査パルスを印加するタイミングより500ns以下の時間遅れて前記第3電極にデータパルスを印加することを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項7・1】 前記駆動回路は、

書き込み期間において、

次に走査パルスが印加される第1電極に隣接する第1補助放電電極と第2補助放電電極との間で、前記書き込み補助放電を発生させることを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項7・2】 前記プラズマディスプレイパネルにおいて、各第1電極と当該第1電極の次に走査パルスが印加される第1電極に隣接する第1補助放電電極とが互いに接続されていることを特徴とする請求項7・1記載のプラズマディスプレイ装置。

【請求項7・3】 前記駆動回路は、

前記維持期間に前記第1電極に印加する維持パルスを発生する維持パルス発生回路と、

前記維持パルス発生回路の出力電圧を基準電位として動作

作し、前記書き込み期間に先立つ初期化期間において前記第1電極及び第1補助放電電極に初期化パルスを印加する初期化パルス発生回路と、

前記初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、

前記初期化パルス発生回路または前記維持パルス発生回路の出力電圧を基準電位として動作し、第1補助放電電極と第2補助放電電極との間で補助放電を発生させる放電誘発パルスを第2補助放電電極印加する放電誘発パルス出力回路とを備えることを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項7・4】 前記駆動回路は、

前記維持期間に前記第1電極に印加する維持パルスを発生する維持パルス発生回路と、

前記維持パルス発生回路の出力電圧を基準電位として動作し、前記書き込み期間に先立つ初期化期間において前記第1電極及び第1補助放電電極に初期化パルスを印加する初期化パルス発生回路と、

前記初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、

前記維持パルス発生回路の出力を基準電位として動作し、前記第2補助放電電極に、前記初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路と、

前記第2初期化パルス発生回路の出力を基準電位として動作し、第1補助放電電極と第2補助放電電極との間で補助放電を発生させる放電誘発パルスを第2補助放電電極に印加する放電誘発パルス出力回路とを備えることを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項7・5】 前記放電誘発パルス出力回路は、前記維持期間において、

前記第2補助放電電極をハイインピーダンス状態に維持できるよう構成されていることを特徴とする請求項7・3、7・4記載のプラズマディスプレイ装置。

【請求項7・6】 前記放電誘発パルス出力回路は、前記維持期間において、

前記第2補助放電電極の電位を、前記第1電極及び第2電極の電位が変動する範囲内に維持できるよう構成されていることを特徴とする請求項7・3、7・4記載のプラズマディスプレイ装置。

【請求項7・7】 前記駆動回路は、

前記維持期間に前記第1電極に印加する維持パルスを発生する維持パルス発生回路と、前記維持パルス発生回路の出力電圧を基準電位として動作し、前記書き込み期間に先立つ初期化期間において前記第1電極及び第1補助放電電極に初期化パルスを印加する初期化パルス発生回路と、

前記初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、

前記維持パルス発生回路の出力電圧を基準電位として動作し、第1補助放電電極と第2補助放電電極との間で補助放電を発生させる放電誘発パルスを前記第2補助放電電極に印加する放電誘発パルス出力回路と、前記放電誘発パルス出力回路の出力を基準電位として動作し、前記第2補助放電電極に、前記初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路とを備えることを特徴とする請求項6・6記載のプラズマディスプレイ装置。

【請求項7・8】 前記第2初期化パルス発生回路は、前記維持期間において、

前記第2補助放電電極をハイインピーダンス状態に維持できるよう構成されていることを特徴とする請求項7・7記載のプラズマディスプレイ装置。

【請求項7・9】 前記第2初期化パルス発生回路は、前記維持期間において、

前記第2補助放電電極の電位を、前記第1電極及び第2電極の電位が変動する範囲内に維持できるよう構成されていることを特徴とする請求項7・7記載のプラズマディスプレイ装置。

【請求項8・0】 互いに並行に配された複数対の第1電極及び第2電極と、これに立体交差して配置された複数の第3電極とを有し、電極が立体交差する複数箇所にセルが形成され、

書き込み期間に、前記第1電極に走査パルスを順次印加すると共に第3電極に選択的にデータパルスを印加することによって、前記複数のセルに、選択的に書き込み放電を発生させて書き込みを行ない、当該書き込み期間後の発光期間に、書き込まれたセルを発光させる方式で駆動されるプラズマディスプレイパネルにおいて、前記第1電極に走査パルスが印加されているときに、前記書き込み放電よりも放電規模が小さい書き込み補助放電を当該走査電極との間で発生させる補助放電電極が、前記各第1電極に隣接して配設されていることを特徴とするプラズマディスプレイパネル。

【請求項8・1】 前記第1電極と当該第1電極に隣接する補助放電電極との間隙は、

前記第1電極と当該補助放電電極との間に、前記走査パルスの振幅の1/2以上に相当する電圧が印加されるときに放電が発生する距離に設定されていることを特徴とする請求項8・0記載のプラズマディスプレイパネル。

【請求項8・2】 前記第1電極と当該第1電極に隣接する補助放電電極との間隙は、

前記第1電極と当該第1電極に隣接する補助放電電極との間に、前記走査パルスの振幅に相当する電圧が印加されるときに、

前記第1電極と当該補助放電電極との間の放電開始電圧

を超えるような距離に設定されていることを特徴とする請求項 8 0 記載のプラズマディスプレイパネル。

【請求項 8 3】 前記第 1 電極と当該第 1 電極に隣接する補助放電電極との間隙は、 $10 \mu m$  以上、 $50 \mu m$  以下であることを特徴とする請求項 8 0 記載のプラズマディスプレイパネル。

【請求項 8 4】 前記第 1 電極と当該第 1 電極に隣接する補助放電電極との間隙は、前記第 1 電極と当該第 1 電極に隣接する第 2 電極との間の間隙より小さいことを特徴とする請求項 8 0 記載のプラズマディスプレイパネル。

【請求項 8 5】 前記第 1 電極と当該第 1 電極に隣接する補助放電電極との電極引き出し部における間隙は、前記第 1 電極と当該補助放電電極との間に、前記走査パルスの振幅に相当する電圧が印加されるときに前記電極引き出し部において放電が発生しない距離に設定されていることを特徴とする請求項 8 0 記載のプラズマディスプレイパネル。

【請求項 8 6】 前記第 1 電極と当該第 1 電極に隣接する補助放電電極との電極引き出し部における間隙は、 $10 \mu m$  以上、 $300 \mu m$  以下であることを特徴とする請求項 8 5 記載のプラズマディスプレイパネル。

【請求項 8 7】 前記補助放電電極の近傍には、補助放電に伴って発生する光がパネル表面に至るのを遮る遮光膜が形成されていることを特徴とする請求項 8 0 記載のプラズマディスプレイパネル。

【請求項 8 8】 各セルごとに、前記補助放電電極及び前記走査電極の一方から他方に突出する突起が形成されていることを特徴とする請求項 8 0 記載のプラズマディスプレイパネル。

【請求項 8 9】 互いに並行に配された複数対の第 1 電極及び第 2 電極と、これに立体交差して配置された複数の第 3 電極とを有し、電極が立体交差する複数箇所にセルが形成され、書き込み期間に、前記第 1 電極に走査パルスを順次印加すると共に第 3 電極に選択的にデータパルスを印加することによって、前記複数のセルに、選択的に書き込み放電を発生させて書き込みを行ない、当該書き込み期間後の発光期間に、書き込まれたセルを発光させる方式で駆動されるプラズマディスプレイパネルにおいて、

前記第 1 電極に走査パルスが印加されているときに、前記書き込み放電よりも放電規模が小さい書き込み補助放電を発生させる第 1 補助放電電極及び第 2 補助電極が、

前記各第 1 電極に隣接して配設されていることを特徴とするプラズマディスプレイパネル。

【請求項 9 0】 前記各第 1 補助電極は、これに隣接する第 1 電極と接続されていることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

【請求項 9 1】 前記各第 1 電極は、当該第 1 電極の次

に走査パルスが印加される第 1 電極に隣接する第 1 補助放電電極と接続されていることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

【請求項 9 2】 前記第 1 補助放電電極と当該第 1 補助放電電極に隣接する第 2 補助放電電極との間隙は、前記第 1 補助放電電極と第 2 補助放電電極との間に、前記走査パルスの振幅の  $1/2$  以上に相当する電圧が印加されるときに放電が発生する距離に設定されていることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

【請求項 9 3】 前記第 1 電極と当該第 1 電極に隣接する補助放電電極との間隙は、 $10 \mu m$  以上、 $50 \mu m$  以下であることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

【請求項 9 4】 前記第 1 補助放電電極と当該第 1 補助放電電極に隣接する第 2 補助放電電極との電極引き出し部における間隙は、前記第 1 補助放電電極と第 2 補助放電電極との間に、前記走査パルスの振幅に相当する電圧が印加されるときに前記電極引き出し部において放電が発生しない距離に設定されていることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

【請求項 9 5】 前記第 1 補助放電電極と当該第 1 補助放電電極に隣接する第 2 補助放電電極との電極引き出し部における間隙は、 $10 \mu m$  以上、 $300 \mu m$  以下であることを特徴とする請求項 9 4 記載のプラズマディスプレイパネル。

【請求項 9 6】 前記第 1 補助放電電極及び第 2 補助放電電極の近傍には、補助放電に伴って発生する光がパネル表面に至るのを遮る遮光膜が形成されていることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

【請求項 9 7】 各セルごとに、前記第 1 補助放電電極及び第 2 補助放電電極の一方から他方に突出する突起が形成されていることを特徴とする請求項 8 9 記載のプラズマディスプレイパネル。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は情報端末機器やパソコン用コンピュータのディスプレイデバイス、あるいはテレビジョンの画像表示装置などに用いられる平面型プラズマディスプレイパネルの構造と駆動方法に関するものである。

##### 【0002】

【従来の技術】 プラズマディスプレイパネル (PDP) は、大別して直流型 (DC型) と交流型 (AC型) とに分けられるが、現在では大型化に適した AC型が主流となっている。RGBでカラー表示を行う一般的な交流面放電型 PDP およびその駆動方法については、例えば特開平6-186927号公報、特開平5-307935号公報などに示さ

れているが、大体以下のとおりである。

【0003】PDPは、フロントカバーブレートとバックブレートとが間隔を開けて平行に配されて構成され、フロントカバーブレート上には走査電極および維持電極がストライプ状に配設され、その上から誘電体層で覆われている。一方、バックブレート上には、データ電極及び隔壁が、表示電極と直交する方向にストライプ状に配設され、隔壁間の間隙には赤、緑、青の紫外線励起螢光体層が配設されている。そして、両ブレート間には電極が立体交差する複数の箇所にセルが形成され、セル内の放電空間には放電ガスが封入されている。

【0004】駆動方法においては、先ず、初期化期間において、走査電極に初期化パルスを印加して、パネル内の全セルにおいて放電させる初期化放電を行う。この初期化放電は、パネル内全面に空間電荷を均一に生成し、次の書き込み放電に有効に作用する壁電荷をデータ電極側に蓄積することを目的とする。次に、書き込み期間において、走査電極に順次負極性の走査パルスを印加すると同時に、データ電極に選択的に正極性のデータパルスを印加することにより、点灯させようとするセル（以下、「点灯セル」と記載する。）内で書き込み放電を発生させて書き込みを行なう。ここで一般的には、書き込み放電に誘発されて走査電極と維持電極との間で書き込み維持放電が発生して書き込みが完了する。

【0005】次に、維持期間において、走査電極と維持電極に、交互に高圧の維持パルスを印加する。このとき、先に書き込みしたセルで選択的に放電が繰り返され、この維持放電に伴う発光によって画像が表示される。そして、消去期間において維持電極に印加される消去パルスによってそれまでの維持放電により誘電体に蓄積された壁電荷を消去する。

#### 【0006】

【発明が解決しようとする課題】このようなPDPにおいて、その発光輝度を向上させることが従来から課題となっている。ところで、PDPの発光輝度を向上させるには、上記初期化期間、書き込み期間、維持期間、消去期間の中、実際にセルの発光に寄与する期間は維持期間だけなので、維持期間以外の期間を短縮することによって、維持期間をできるだけ長くすることが望まれる。

【0007】書き込み期間を短縮するには、走査電極に印加する走査パルス並びにデータ電極に印加するデータパルスのパルス幅をできるだけ短く設定することが望ましい。今日、精細な表示を行うディスプレイ装置に対する需要が高まっているが、書き込み期間の長さを長くすることなく精細な書き込みを行うために、現在そのパルス幅を1.0 μsec程度もしくはそれ以下にする試みもなされている。

【0008】ところが、走査パルス及びデータパルスを印加開始してから放電が発生するまでの時間にはある程度のばらつきがあるので、走査パルス及びデータパルス

のパルス幅を短くするほど書き込み不良が発生しやすくなるという問題がある。そして、書き込み不良が発生すると、点灯セルが点灯されない状態となってしまうので、それだけ表示される画像の画質が低下することになる。

【0009】本発明は、このような課題に鑑み、PDPにおいて、書き込み時間を短く設定しても確実に書き込みができる技術を提供することを目的とする。

#### 【0010】

【課題を解決するための手段】本発明では、上記目的を達成するため、書き込み期間に、複数の第1電極に走査パルスを順次印加すると共に複数の第3電極に選択的にデータパルスを印加することによって、複数のセルに選択的に書き込み放電を発生させて書き込みを行ない、当該書き込み期間後の発光期間に、書き込まれたセルを発光させる方式で駆動する駆動方法において、書き込み期間において、走査パルスが印加されているときに、複数のセルの中で少なくとも選択的に書き込みを行うセルもしくはセルの周辺に、書き込み放電よりも放電規模が小さい書き込み補助放電を発生させることとした。

【0011】上記本発明によれば、少なくとも選択的に書き込みを行うセルもしくはセルの周辺に、書き込み補助放電によってプライミング粒子が発生するので、書き込み放電が起こりやすい状態が当該セル内空間に形成される。従って、走査パルス及びデータパルスを印加開始してから放電が発生するまでの時間は極めて短くなる。よって、走査パルス及びデータパルスのパルス幅を短く設定しても、書き込み不良は発生しにくく、確実に書き込みを行うことが可能となる。

【0012】また、上記書き込み補助放電は、放電規模が書き込み放電よりも小さいので、書き込み補助放電自身では書き込み放電には到らず、また書き込み補助放電に伴う発光量は少なくコントラストに対する影響も小さい。このように書き込み期間において書き込み補助放電を発生させる方法として、以下に示す（1）～（4）の方法が挙げられる。

【0013】（1）書き込み期間において、選択的に書き込みを行う以外のセル、即ち非点灯セルに対して、第1電極に印加する走査パルスに同期して、第3電極にデータパルスと同極性の補助パルスを印加する。これによって、走査パルスが印加される第1電極に沿った点灯セルでは書き込み放電が発生し、非点灯セルでは書き込み補助放電が発生する。この書き込み放電もしくは書き込み補助放電によって生じたプライミング粒子は、次に走査パルスが印加される第1電極に沿ったセルに流入し、当該走査パルスが印加される走査電極に沿ったセル内の空間は、放電が起こりやすい状態となる。

【0014】（2）書き込み期間において、走査パルスが印加されている第1電極と、データパルスが印加されていない第3電極との間の電圧が、第1電極と第3電極

との間の放電開始電圧を越えるよう調整する。これによつても、走査パルスが印加される第1電極に沿つた点灯セルでは書き込み放電が発生し、非点灯セルでは書き込み補助放電が発生する。この書き込み放電もしくは書き込み補助放電によって生じたプライミング粒子は、次に走査パルスが印加される第1電極に沿つたセルに流入し、当該走査パルスが印加される走査電極に沿つたセル内の空間は、放電が起りやすい状態となる。

【0015】(3) PDPに、各第1電極に隣接して補助放電電極を配設し、書き込み期間において、走査パルスが印加されている第1の電極と当該第1の電極に隣接する補助放電電極との間で書き込み補助放電を発生させる。これによつて、走査パルスが印加される第1電極に沿つたセルでは、第1の電極とこれに隣接する補助放電電極との間で書き込み補助放電が発生してプライミング粒子が生じるので、当該セル内の空間は、放電が起りやすい状態となる。

【0016】(4) PDPに、各第1電極に隣接して第1補助放電電極と当該第1補助放電電極に隣接して第2補助放電電極を配設し、書き込み期間において、第1補助放電電極と第2補助放電電極との間で書き込み補助放電を発生させる。この場合、現在走査パルスが印加されている第1電極に沿つたセルにおいて書き込み補助放電を発生させることもできるし、次に走査パルスが印加される第1電極に沿つたセルにおいて書き込み補助放電を発生せることもできる。いずれの場合も、第1補助放電電極と第2補助放電電極との間で書き込み補助放電が発生してプライミング粒子が生じるので、当該セル内の空間は、放電が起りやすい状態となる。

【0017】なお、上記(1)、(2)では書き込み補助放電が発生することによって、走査電極上の誘電体層に不要な壁電荷が蓄積されたり逆に必要な壁電荷が減少したりするといった影響が出る可能性も考えられるが、上記(3)、(4)の場合は、走査電極とデータ電極とは別に、書き込み補助放電用の補助放電電極を設けているので、本来の書き込み放電による壁電荷形成に影響を及ぼしにくい。特に(4)では、第1補助放電電極と第2補助放電電極間で書き込み補助放電が発生するので、本来の書き込み放電による壁電荷形成にはほとんど影響を及ぼさない。

【0018】書き込み補助放電による発光量については、書き込みを行うセルにおいて書き込み期間中に発生する放電の発光量に対して、 $1/10 \sim 1/100$ の範囲内とすることが好ましい。上記(1)に係る駆動方法及び駆動回路について、詳しくは、実施の形態1-1～1-5において説明するが、書き込み期間において、書き込み補助放電を発生させるために、選択的に書き込みを行うセル以外のセルに対して、第1電極に走査パルスに同期して、第3電極にデータパルスと同極性の補助パ

ルスを印加すればよい。

【0019】補助パルスは、データパルスに比べてパルス幅が短く設定するか、データパルスに比べて平均電圧の絶対値を低く設定すればよく、補助パルスの波高を、データパルスに比べて波高を低く設定するか、補助パルスの波形を、三角波状又はパルス列状とするのもよい。補助パルスを印加する際に、選択的に書き込みを行うセル以外のすべてのセルの中で、書き込みを行うセルの近傍に存在するセルを検出し、検出されたセルに対して選択的に補助パルス印加してもよい。

【0020】1フィールド内に複数のサブフィールドを有する時分割階調表示方式で駆動する場合、1フィールド内の複数のサブフィールドの中から選択された特定の輝度重み付けを持つサブフィールドの書き込み期間において、書き込み補助放電を発生させてもよいし、各フィールドごとに、当該フィールド期間内における発光セル数が一定の基準を満たすか否かを判定し、判定で基準を満たすフィールドに対して選択的に前記書き込み補助放電を発生させてよい。

【0021】上記(2)に係る駆動方法及び駆動回路について、詳しくは、実施の形態2-1～2-3において説明するが、書き込み期間において、走査パルスが印加されている第1電極と、データパルスが印加されていない第3電極との間の電圧が、第1電極と第3電極との間の放電開始電圧を越えるよう調整することによって、書き込み補助放電を発生させることができる。

【0022】ここで、書き込み期間において、複数の第3電極全体に、データパルスと同極性の第1ベースパルスを印加し、データパルスを、第1ベースパルスに重疊させて第3電極に印加してもよいし、書き込み期間において、複数の第1電極全体に、走査パルスと同極性の第2ベースパルスを印加し、走査パルスを、第2ベースパルスに重疊させて第1電極に順次印加してもよいし、書き込み期間において、第1電極に印加される走査パルスの波高を、走査パルスが印加されている第1電極と、データパルスが印加されていない第3電極との間の電圧が、第1電極と第3電極との間の放電開始電圧を越えるよう設定してもよい。

【0023】書き込み期間における第2電極の電圧については、書き込み放電が発生したセルにおいては、第1電極と第2電極との間で書き込み放電に誘発されて書き込み維持放電が発生し、且つ、書き込み補助放電が発生したセルにおいては、第1電極と第2電極との間で書き込み維持放電が発生しないような範囲内に維持することが好ましい。

【0024】(3)に係るパネル構成、駆動方法及び駆動回路について、詳しくは、実施の形態3-1～3-6において説明するが、書き込み期間において、第1電極に走査パルスが印加されているときに、当該第1電極とこれに隣接する補助放電電極との間の電圧が放電開始電

圧を超えるよう、当該補助放電電極に印加する電圧を調整すればよい。

【0025】駆動回路については、維持期間に第1電極に印加する維持パルスを発生する維持パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、書き込み期間に先立つ初期化期間において第1電極に初期化パルスを印加する初期化パルス発生回路と、初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、初期化パルス発生回路または維持パルス発生回路の出力電圧を基準電位として動作し、第1電極と補助放電電極との間で補助放電を発生させる放電誘発パルスを、補助放電電極に印加する放電誘発パルス出力回路とで構成すればよい。

【0026】或は、駆動回路は、維持期間に第1電極に印加する維持パルスを発生する維持パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、書き込み期間に先立つ初期化期間において第1電極に初期化パルスを印加する初期化パルス発生回路と、初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、維持パルス発生回路の出力を基準電位として動作し、補助放電電極に、第1電極に印加する初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路と、第2初期化パルス発生回路の出力を基準電位として動作し、第1電極と補助放電電極との間で補助放電を発生させる放電誘発パルスを補助放電電極に印加する放電誘発パルス出力回路とで構成してもよい。

【0027】或は、駆動回路は、維持期間に第1電極に印加する維持パルスを発生する維持パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、書き込み期間に先立つ初期化期間において第1電極に初期化パルスを印加する初期化パルス発生回路と、初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、第1電極と補助放電電極との間で補助放電を発生させる放電誘発パルスを補助放電電極に印加する放電誘発パルス出力回路と、放電誘発パルス出力回路の出力を基準電位として動作し、補助放電電極に、第1電極に印加する初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路とで構成してもよい。

【0028】維持期間において、第1電極と補助放電電極に同一波形の維持パルスを印加したり、書き込み期間に先立つ初期化期間において、第1電極と補助放電電極に同一波形の初期化パルスを印加することもできる。書き込み期間に先立つ初期化期間において、補助放電電極の電位を、第1電極の電位より低くしてもよい。この場

合、初期化期間において、第1電極には正極性の初期化パルスを印加し、補助放電電極をグラウンド電位に維持してもよいし、初期化期間において、第1電極には正極性の初期化パルスを印加し、補助放電電極には負極性のパルスを印加してもよい。

【0029】維持期間においては、補助放電電極をハイインピーダンス状態に維持したり、補助放電電極の電位を、第1電極及び第2電極の電位が変動する範囲内に維持することが好ましい。そのために、放電誘発パルス出力回路もしくは第2初期化パルス発生回路を、補助放電電極をハイインピーダンス状態に維持したり、補助放電電極の電位を、第1電極及び第2電極の電位が変動する範囲内に維持できるようにすればよい。

【0030】書き込み期間において、書き込み補助放電を発生させるタイミングについては、第3電極にデータパルスを印加開始するタイミングと同時もしくは当該タイミング以前とすることが好ましく、第1電極に走査パルスを印加するタイミングより500ns以下の時間遅れて、第3電極にデータパルスを印加することが好ましい。

【0031】パネル構成については、第1電極と当該第1電極に隣接する補助放電電極との間隙は、第1電極と当該補助放電電極との間に、走査パルスの振幅の1/2以上に相当する電圧が印加されるときに放電が発生する距離に設定することが好ましい。また、第1電極と当該第1電極に隣接する補助放電電極との間に、走査パルスの振幅に相当する電圧が印加されるときに、第1電極と当該補助放電電極との間の放電開始電圧を超えるような距離に設定するのがよい。

【0032】また、第1電極と当該第1電極に隣接する補助放電電極との間隙は、10μm以上、50μm以下とするのがよい。また、第1電極と当該第1電極に隣接する補助放電電極との間隙は、第1電極と当該第1電極に隣接する第2電極との間の間隙より小さく設定するのがよい。第1電極と当該第1電極に隣接する補助放電電極との電極引き出し部における間隙は、第1電極と補助放電電極との間に、走査パルスの振幅に相当する電圧が印加されるときに電極引き出し部において放電が発生しない距離に設定することが好ましく、その間隙は、10μm以上、300μm以下とするのが好ましい。

【0033】補助放電電極の近傍には、補助放電に伴って発生する光がパネル表面に至るのを遮る遮光膜を形成するのが好ましい。各セルごとに、補助放電電極及び走査電極の一方から他方に突出する突起を形成するのが好ましい。

(4) に係るパネル構成、駆動方法及び駆動回路について、詳しくは、実施の形態4-1~4-6において説明するが、書き込み期間において、第1電極に走査パルスが印加されているときに、当該第1電極に隣接する第1補助放電電極とこれに隣接する第2補助放電電極との間

の電圧が、第1補助放電電極及び第2補助放電電極との間の放電開始電圧を超えるよう調整すればよい。

【0034】駆動回路については、維持期間に第1電極に印加する維持パルスを発生する維持パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、書き込み期間に先立つ初期化期間において第1電極及び第1補助放電電極に初期化パルスを印加する初期化パルス発生回路と、初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、初期化パルス発生回路または維持パルス発生回路の出力電圧を基準電位として動作し、第1補助放電電極と第2補助放電電極との間で補助放電を発生させる放電誘発パルスを第2補助放電電極印加する放電誘発パルス出力回路とで構成すればよい。

【0035】或は、駆動回路を、維持期間に第1電極に印加する維持パルスを発生する維持パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、書き込み期間に先立つ初期化期間において第1電極及び第1補助放電電極に初期化パルスを印加する初期化パルス発生回路と、初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、維持パルス発生回路の出力を基準電位として動作し、第2補助放電電極に、初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路と、第2初期化パルス発生回路の出力を基準電位として動作し、第1補助放電電極と第2補助放電電極との間で補助放電を発生させる放電誘発パルスを第2補助放電電極に印加する放電誘発パルス出力回路とで構成してもよい。

【0036】或は、駆動回路は、維持期間に第1電極に印加する維持パルスを発生する維持パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、書き込み期間に先立つ初期化期間において第1電極及び第1補助放電電極に初期化パルスを印加する初期化パルス発生回路と、初期化パルス発生回路の出力電圧を基準電位として動作し、第1電極に順次走査パルスを印加する走査パルス発生回路と、維持パルス発生回路の出力電圧を基準電位として動作し、第1補助放電電極と第2補助放電電極との間で補助放電を発生させる放電誘発パルスを第2補助放電電極に印加する放電誘発パルス出力回路と、放電誘発パルス出力回路の出力を基準電位として動作し、第2補助放電電極に、初期化パルスより電圧の低い第2初期化パルスを印加する第2初期化パルス発生回路とで構成してもよい。

【0037】各第1電極と当該第1電極に隣接する第1補助放電電極とが互いに接続して、各第1電極と、当該第1電極に隣接する第1補助放電電極とに、同一の電圧波形を印加してもよい。維持期間においては、第1電極と第1補助放電電極と第2補助放電電極とに同一波形の

維持パルスを印加してもよい。

【0038】書き込み期間に先立つ初期化期間において、第2補助放電電極の電位を、第1補助放電電極の電位より低く調整することが好ましい。そのため、初期化期間において、第1補助放電電極には正極性の初期化パルスを印加し、第2補助放電電極をグラウンド電位に維持してもよいし、初期化期間において、第1補助放電電極には正極性の初期化パルスを印加し、第2補助放電電極に負極性のパルスを印加してもよい。

【0039】維持期間においては、第2補助放電電極をハイインピーダンス状態に維持したり、第2補助放電電極の電位を、第1電極及び第2電極が変動する電位範囲内に維持することが好ましい。そのため、放電誘発パルス出力回路もしくは第2初期化パルス発生回路を、第2補助放電電極をハイインピーダンス状態に維持したり、第2補助放電電極の電位を、第1電極及び第2電極の電位が変動する範囲内に維持できるようにすればよい。

【0040】書き込み期間において、書き込み補助放電を発生させるタイミングは、第3電極にデータパルスを印加開始するタイミングと同時もしくは当該タイミング以前とすることが好ましく、第1電極に走査パルスを印加するタイミングより500ns以下の時間遅れて、第3電極にデータパルスを印加するのが好ましい。なお、書き込み期間において、次に走査パルスが印加される第1電極に隣接する第1補助放電電極と第2補助放電電極との間で、書き込み補助放電を発生させてもよい。

【0041】この場合、各第1電極と当該第1電極の次に走査パルスが印加される第1電極に隣接する第1補助放電電極とを互いに接続して、書き込み期間において、走査パルスが印加されている第1電極と、次に走査パルスが印加される第1電極に隣接する第1補助放電電極とには、同一の電圧波形を印加してもよい。パネル構成については、第1補助放電電極と当該第1補助放電電極に隣接する第2補助放電電極との間隙は、第1補助放電電極と第2補助放電電極との間に、走査パルスの振幅の1/2以上に相当する電圧が印加されるときに放電が発生する距離に設定するのが好ましく、10μm以上、50μm以下とするのが好ましい。

【0042】また、第1補助放電電極と当該第1補助放電電極に隣接する第2補助放電電極との電極引き出し部における間隙は、第1補助放電電極と第2補助放電電極との間に、走査パルスの振幅に相当する電圧が印加されるときに電極引き出し部において放電が発生しない距離に設定するのが好ましく、その間隙を、10μm以上、300μm以下とするのが好ましい。

【0043】第1補助放電電極及び第2補助放電電極の近傍には、補助放電に伴って発生する光がパネル表面に至るのを遮る遮光膜を形成するのが好ましい。各セルごとに、第1補助放電電極及び第2補助放電電極の一方から他方に突出する突起を形成するのが好ましい。

#### 【0044】

##### 【発明の実施の形態】〔実施の形態1-1〕

(PDP表示装置の全体構成について) 図1は、本実施の形態に係るPDP表示装置の構成を示す図である。PDP表示装置の全体構成について以下に説明するが、一般的な面放電型PDPと同様である。

【0045】PDP1の構成は、従来の一般的なPDPと同様であって、水平方向に伸びる複数の走査電極11と、当該各走査電極11と並行して伸びる複数の維持電極12と、垂直方向に伸びる複数のデータ電極21が設けられている。なお、当図には示していないが、PDP1は互いに間隙を開けて配された前面ガラス基板と背面ガラス基板とを備え、当該間隙に放電ガスが封入されて放電空間が形成された構成であって、走査電極11、維持電極12は、この前面ガラス基板の対向面上に、データ電極21は、背面ガラス基板の対向面上に配設されている。また、前面ガラス基板上には、走査電極11、維持電極12を覆って誘電体層、保護層が配され、背面ガラス基板上におけるデータ電極21上には、RGB各色の蛍光体層が配されている。

【0046】そして、走査電極11とデータ電極21が交差する箇所に、マトリックス状に配列された複数の放電セルが形成されており、各放電セルの点灯・非点灯の組み合わせによって画像表示されるようになっている。PDPでは、中間階調を表現するために1フレーム(1TVフィールド)を複数のサブフレーム(サブフィールド)に時分割し、その組み合わせによって表現する駆動方式(フィールド内時分割階調表示方式)が用いられる。

【0047】例えば、NTSC方式のテレビ映像においては、1秒間あたり60枚のフィールドで映像が構成されているため、1TVフィールドの時間は16.7msに設定されている。図2は、256階調を表現する場合における1フィールドの分割方法を示す図であって、横方向は時間を示している。本図のように、1TVフィールドは、8個のサブフィールドで構成され、各サブフィールドの点灯時間の比は1, 2, 4, 8, 16, 32, 64, 128に設定されている。そして、各サブフィールドでセルの点灯/非点灯を組み合わせることによって、各セルの1TVフィールド内における点灯時間を256段階で制御するようになっている。

【0048】図3は、上記駆動回路による駆動波形を示す図であって、1つのサブフィールドについて示している。全体的には、一般的な面放電型PDPの駆動方法と同様であるが、先ず、初期化期間において、走査電極11に初期化パルス100を印加して、パネル内の全セルにおいて放電させる初期化放電を行う。この初期化放電について、パネル内全面に空間電荷が均一に生成され、書き込み放電に有効に作用する壁電荷がデータ電極21側に蓄積される。

【0049】次に、書き込み期間において、走査電極に順次負極性の走査パルス110を印加し、同時に、表示データに応じた正極性のデータパルス130を印加することにより、その交点に存在するセル内で書き込み放電を発生させ、書き込みを行う。次に、維持期間には、走査電極11と維持電極12に、交互に高圧の維持パルス401・402を印加する。このとき、先に書き込み放電が発生したセルにおいてのみ放電が繰り返されて、維持放電の際の発光を用いて表示が行われる。そして維持期間の最後に続く消去期間には、維持電極12に消去パルス403を印加することによって、それまでの維持放電により誘電体層に蓄積された壁電荷を消去する。

【0050】(駆動波形及び回路について) 上記駆動波形を実現する駆動回路について説明する。上記図1に示すように、本PDP表示装置は、複数の走査電極11に順次走査パルスを印加する走査パルス発生回路50、複数の走査電極11に対して、初期化パルス及び維持パルスを一括して印加する初期化・維持パルス発生回路60、複数の維持電極12に対して維持パルス及び消去パルスを一括して印加する維持・消去パルス発生回路70、データ電極21に表示データに応じたデータパルスを印加するデータパルス発生回路80、映像データを処理すると共に上記各パルス発生回路を制御するパネル制御回路90を備えている。

【0051】パネル制御回路90は、入力されてくる映像データからフィールド毎の映像データを抽出し、抽出したフィールド映像データから各サブフィールドの映像データ(サブフィールド画像データ)を作成してフレームメモリに格納すると共に、当該フレームメモリに格納されているカレントサブフィールド画像データから1ラインづつデータパルス発生回路80にデータを出力する。また、入力される映像データから水平同期信号、垂直同期信号などに基づいて、初期化パルス、走査パルス、データパルス、維持パルス、消去パルスなどの印加タイミングを指示するトリガ信号を生成して、各パルス発生回路50, 60, 70, 80に送る。

【0052】そして、各パルス発生回路50, 60, 70, 80は、パネル制御回路90から送られる指示パルスに従って各電極11, 12, 21にパルスを印加する。走査パルス発生回路50と初期化・維持パルス発生回路60とは、初期化・維持パルス発生回路60の出力を仮のグラウンドレベルVgとして走査パルス発生回路50が動作するよう接続され、走査パルス発生回路50の周囲には、走査パルス発生回路50の電源51、キャッシュ52、FET53、FET54が設けられている。

【0053】書き込み期間には、FET53がON, FET54がOFFとなり、それ以外の期間には、FET53がOFF, FET54がONとなるが、それによって、書き込み期間にだけ、電源51から走査パルス発生

回路 50 に電力供給される。また、書き込み期間において、走査電極 11 の基準電位（図 1 の P 点における基準電位）は、キャパシタ 52 によって電位  $V_t$  に維持され、その基準電位に対して走査パルス発生回路 50 によって、振幅 ( $V_t - V_g$ ) で負極性の走査パルスが印加される（図 3 参照）。

【0054】データパルス発生回路 80 については、後で詳しく述べるが、1 ラインづつ入力されるサブフィールド画像データ（データ電極 21 毎に点灯（ON）か非点灯（OFF）かを示すデータ）を一時的に記憶するラインメモリ 81（図 6 参照）を備え、書き込み期間において複数のデータ電極 21 に並行してデータパルスを出力する。

【0055】（書き込み期間における動作について）図 4 は、上記 PDP 1 における走査電極 11 とデータ電極 21 の配置を示す図であって、図中、電極が交差しているところに示されている口は、最小発光単位であるセルを示す。水平方向に伸びる複数の走査電極 11 は、上から下へ  $X_0, X_1, \dots, X_{n-1}, X_n, X_{n+1} \dots$  の順に配置されている。垂直方向に伸びる複数のデータ電極 21 は、左から右へ  $Z_0, Z_1, \dots, Z_{m-1}, Z_m, Z_{m+1} \dots$  の順に配置されている。

【0056】なお、以下、本明細書中で、符号  $X_0, X_1, \dots, X_{n-1}, X_n, X_{n+1} \dots, Z_0, Z_1, \dots, Z_{m-1}, Z_m, Z_{m+1} \dots$  を使用する場合は、複数セルの中で、走査電極  $X_n$  とデータ電極  $Z_m$  の交点に存在するセル（図 4 中で斜線塗りしている。）が点灯セルであり、他のセルは非点灯セルであるものとする。図 5 は、図 4 に示す各走査電極 11 及びデータ電極 21 に印加される駆動波形の一例である。

【0057】図 5においては、走査電極  $X_n$  に走査パルス 110c が印加されている期間において、点灯セルに相当するデータ電極  $Z_m$  に対してデータパルス 130 が印加され、走査電極  $X_{n-2}, X_{n-1}, X_{n+1}$  に走査パルス 110a, 110b, 110d が印加されている各期間には、非点灯セルに相当するデータ電極  $Z_m$  に対してデータパルス 130 が印加されている。

【0058】なお、図 3 に示されるように、維持・消去パルス発生回路 70 は、書き込み期間において、維持電極 12 に正極性で振幅  $V_e$  の維持書き込みパルス 120 を印加する。この維持書き込みパルス 120 は、書き込み放電が発生した際に、書き込み維持放電を発生させて維持電極 12 上の誘電体層に負の電荷を蓄積するためのものである。

【0059】上記の駆動方法によれば、書き込み期間中において、走査パルス 110 が印加されている走査電極に沿ったセルでは、点灯セルにおいては書き込み放電が発生し、非点灯セルにおいては書き込みがなされない程度の書き込み補助放電（以下、単に「補助放電」と記載する。）が発生する。そして、点灯セルにおいては、書き

込み放電に誘発されて、誘発されて書き込み維持放電が発生し、書き込みが完了する。一方、非点灯セルにおいては補助放電が発生するものの、放電規模が小さいので書き込み維持放電は発生しない。

【0060】そして、書き込み放電もしくは補助放電により発生したプライミング粒子は、次に走査パルスが印加される走査電極に沿ったセル（即ち、下側に隣接するセル）にも流入する。従って、次に走査パルスが印加されるときに、当該走査パルスが印加される走査電極に沿ったセル内の空間は、放電が起こりやすい状態となっている（流れ込んだプライミング粒子が書き込み放電を補助する）ため、点灯セルでは、走査パルス及びデータパルスを印加開始してから極めて短時間で書き込み放電が発生する（書き込み放電遅れが少なくなる。）。

【0061】よって、走査パルスおよびデータパルスのパルス幅を短く（ $1.0 \mu\text{sec}$  程度）設定して、書き込み時間を従来より短縮し、且つ書き込み不良の発生を抑えることができる。次に、上記のように、書き込み期間においてデータ電極 21 にデータパルスと補助パルスとを選択的に印加する駆動を行なうの構成について説明する。

【0062】図 6 に示すように、データパルス発生回路 80 には、各データ電極 21 ごとに、データパルスを発生させるデータパルス発生器 82 の他に、補助パルスを発生させる補助パルス発生器 83 と、この両パルス発生器 82, 83 を選択的に動作させる切替器 84 とが設けられている（図 6 では、左端のデータ電極 21 についてだけこの構成を表示し、あとは省略している。）。

【0063】そして、切替器 84 は、ラインメモリ 81 に記憶されている対応データが点灯（ON）を示している場合には、データパルス発生器 82 を駆動してデータ電極 21 にデータパルスを印加し、ラインメモリ 81 に記憶されている対応データが非点灯（OFF）を示している場合には、補助パルス発生器 83 を駆動してデータ電極 21 に補助パルスを印加する。

【0064】以上のように、本実施の形態によれば、パネル構成や基本的な駆動方法については従来と同様であって、書き込み時間の短縮を図りながら高画質表示を得ることができる。

【実施の形態 1-2】本実施の形態に係る PDP 表示装置の全体構成については、上記実施の形態 1-1 と同様である。また、書き込み期間に、非点灯セルに対応するデータ電極 21 に補助パルスを印加し、点灯セルに対応するデータ電極 21 にデータパルスを印加する点についても、上記実施の形態 1-1 と同様である。

【0065】ただし、上記実施の形態 1-1 では、補助パルスのパルス幅をデータパルスのパルス幅よりも短く設定したが、本実施の形態では、補助パルスの平均電圧絶対値をデータパルスの平均電圧絶対値よりも低く設定する。ここでは、補助パルスとデータパルスは共に正極

性なので、補助パルスの平均電圧をデータパルスの平均電圧よりも低く設定することになる。

【0066】補助パルスの波形をこのように規定することによっても、走査パルスが印加されている走査電極に沿った非点灯セルでは書き込み放電より放電規模が小さい補助放電が発生するので、上記実施の形態1-1と同様の効果が得られる。次に、補助パルスの波形の具体例を図7(A)～(C)に示す。図7(A)に示す例では、パルス幅については、補助パルス150a, 150b…とデータパルス130とで大差がないけれど、補助パルス150a, 150b…の波高は、データパルス130の波高よりも小さく設定されている。

【0067】図7(B)に示す例では、補助パルスの波形は三角波状である。このように補助パルスを三角波状にすると、補助放電が徐々に発生するので、当該補助放電に伴う微少な発光を抑制することができる。従って、コントラスト悪化を防ぐことができるという効果も奏する。図7(C)に示す例では、補助パルスの波形は、幅の短い複数のパルスからなるパルス列状である。

【0068】このように補助パルスをパルス列状にした場合も、補助放電が徐々に発生するので、当該補助放電に伴う微少な発光を抑制することができ、コントラスト悪化を防ぐことができるという効果を奏する。

【実施の形態1-3】上記実施の形態1-1では、1フィールドを構成する8つのサブフィールド(SF1～SF8)の全てにおいて、非点灯セルに対するデータ電極に補助パルスを印加したのに対して、本実施の形態においては、比較的輝度重みの大きいサブフィールド(サブフィールドSF1～SF5)では、非点灯セルに対するデータ電極に補助パルスを印加し、一方、比較的輝度重みの小さいサブフィールド(サブフィールドSF6～SF8)の書き込み期間においては、非点灯セルに対するデータ電極に補助パルスを印加せず、書き込みパルスだけを印加する。

【0069】即ち、図8には、サブフィールドSF1～SF8のいずれにおいても、走査電極Xnに走査パルス110cを印加するときに、点灯セルに相当するデータ電極Zmにデータパルス130を印加して書き込みを行うが、サブフィールドSF1～SF5においては、走査電極Xnに走査パルス110cを印加するときに、非点灯セルに対するデータ電極には補助パルス150a, 150b…を印加する一方、サブフィールドSF6～SF8においては、走査電極Xnに走査パルス110cを印加するときに、非点灯セルに対するデータ電極Zmには補助パルスを印加しない様子が示されている。

【0070】上記駆動によって、視覚的影響が大きい上位のサブフィールド期間においては、補助放電によって短い書き込み時間でも確実に書き込みを行うことが可能となり、点灯不良のない高画質表示が得られる効果が得られる。一方、下位サブフィールドにおいては補助放電

が行なわれないので、書き込みを確実にする効果は生じないが、輝度重みが小さいので、仮に書き込み不良が生じたとしても視覚的影響は小さい。

【0071】また、上記実施の形態1-1と比べると、1フィールド内における補助放電回数は減少する。従って、補助放電によるコントラストの低下、並びに、容量負荷となるデータ電極と走査電極との間への充放電回数が増えることによる消費電力の増大というマイナス面を抑えることができる。上記駆動方法を実現する回路構成としては、データパルス発生回路80において、補助パルス発生器83の機能をON/OFFするスイッチを設け、1サブフィールド目から5サブフィールド目の期間は当該スイッチをONとし、6サブフィールド目から8サブフィールド目の期間は当該スイッチをOFFとすればよい。

【0072】【実施の形態1-4】本実施の形態では、各フィールドの画像データが、比較的明るい画像である場合には、上記実施の形態1-1(図5)で示したように、非点灯セルに対する補助パルスの印加を行なうが、暗い画像である場合は補助パルスの印加は行なわない。

【0073】ここで、各フィールドの画像データが明るいか否かは、例えば、1フィールドにおいて点灯させるセルの総数が、PDP1の全セル数の10%を超えるか否かによって判定することができる。ここで、「1フィールドにおいて点灯させるセル」というのは、1フィールド中におけるすべてのサブフィールドで非点灯のセル以外のすべてのセルを指す。即ち、1フィールド中で1つのサブフィールドでも点灯したセルは、「1フィールドにおいて点灯させるセル」に該当する。

【0074】以上のように、フィールドの画像データが比較的明るい場合にだけ、補助放電を発生させることによって、以下のような効果を奏する。点灯不良が画像に及ぼす影響は、暗い画像においては比較的小さく、明るい画像においては比較的大きい。従って、本実施の形態のように、明るい画像の場合にだけ、補助パルスを発生させることによって点灯不良を抑えれば、十分に高画質表示が得られる。

【0075】一方、非点灯セルで補助放電を発生させると、補助放電に伴って微小な発光が生じコントラストが低下するが、この微小発光によるコントラストの低下は、暗い画像においては比較的大きい。従って、本実施の形態のように、明るい画像の場合には補助放電を発生させないことによって、コントラストを維持できる。よって、本実施の形態によれば、コントラストを維持しながら点灯不良防止による画質向上効果を得ることができる。

【0076】また実施の形態1-1と比べて補助放電の回数が減少するため、その分、消費電力を抑えることができる。上記駆動方法を実現する回路は、以下のようにすればよい。データパルス発生回路80において、補助

パルス発生器83の機能をON/OFFするスイッチを設け、更に、パネル制御回路90において、1フィールド内の点灯セル数をカウントする点灯セル数カウント機構を設ける。

【0077】そして、点灯セル数カウント機構がカウントした総点灯セル数が、一定の基準を満たす場合(PD P1の全セル数の10%を超える場合)には、前記スイッチをONし、点灯セル数カウント機構がカウントしたセル数が、全セル数の10%以下の場合には前記スイッチをOFFするようにする。

【実施の形態1-5】上記実施の形態1-1では、書き込み期間に、すべての非点灯セルで補助放電を発生させたが、本実施の形態では、書き込み期間に、非点灯セルの中でも、点灯セルの近傍に位置するものに対してだけ補助放電を発生させる。

【0078】図9は、本実施の形態において、各電極に印加される駆動波形を示す図である。本図に示すように、各走査電極X<sub>n-2</sub>～X<sub>n+1</sub>に、順に走査パルス110a, 110b, 110c, 110dを印加する。そして、点灯セルに対応するデータ電極Z<sub>m</sub>には、走査パルス110cと同時にデータパルス130を印加する。

【0079】一方、非点灯セルの中で、点灯セルの近傍に位置するものに対応するデータ電極Z<sub>m-1</sub>, Z<sub>m</sub>, Z<sub>m+1</sub>には、走査パルスと同時に補助パルス150を印加するが、非点灯セルの中で、点灯セルの近傍に位置しないものに対応するデータ電極(図9には表示していないがZ<sub>m-1</sub>, Z<sub>m</sub>, Z<sub>m+1</sub>以外のもの)には、補助パルス150を印加しない。

【0080】このように非点灯セルの中でも点灯セルの近傍に位置するものに限定して、補助パルスを印加する場合でも、点灯セルに書き込みが行われる直前に、近傍に位置するセルで書き込み放電及び補助放電の少なくとも一方が発生しブライミング粒子が生じるので、点灯セルに書き込みを行なうときには、このブライミング粒子によって書き込み放電が補助される。従って、点灯不良のない高画質表示が得られる点は、上記実施の形態1-1と同様である。

【0081】一方、本実施の形態においては、点灯セルから離れた非点灯セルでは補助パルスが印加されず、補助放電が生じないので、補助放電に伴う微少な発光がコントラストに与える影響が、点灯セルの近傍のみに抑えられる。また、実施の形態1-1のように全セルで補助放電を行う場合と比べると補助放電を行うセル数が減少するので、消費電力も抑えられる。

【0082】ここで、非点灯セルの中で、「点灯セルの近傍に位置するもの」と「点灯セルの近傍に位置しないもの」とをいかに区別するかについて考察する。点灯セル(走査電極X<sub>n</sub>とデータ電極Z<sub>m</sub>の交点)に対して、書き込み放電を補助するブライミング粒子を生成する最も重要なセルは、当該点灯セルに隣接し且つ直前に走査ペ

ルスが印加されるセル(走査電極X<sub>n-1</sub>とデータ電極Z<sub>m</sub>の交点)である。

【0083】従って、非点灯セルの中で、少なくとも点灯セルの上に隣接する非点灯セルは、「点灯セルの近傍に位置する」ものに含めるべきである。具体的には、例えば、非点灯セルの中で、点灯セルの上に隣接するものだけを「点灯セルの近傍に位置する」ものとし、それ以外のものを「点灯セルの近傍に位置しない」ものと区別してもよいし、上記図8に示した例のように、非点灯セルの中で、点灯セルの周囲に隣接するものを「点灯セルの近傍に位置する」ものとし、それ以外のものを「点灯セルの近傍に位置しない」ものと区別してもよい。

【0084】上記駆動方法を実現する回路は、以下のようにすればよい。上記図6に示したデータパルス発生回路80において、ラインメモリ81を、現在走査パルスを印加している走査ラインの他に、当該走査ラインに隣接する数ライン分のサブフィールド情報を記憶できる構成とする。また、上記データパルス発生回路80において、このラインメモリ81を参照することによって、現在書き込みを行っている走査ライン上の各セルが、点灯セルの近傍に位置するセルであるか否かを判定する判定部を設ける。

【0085】そして、各データ電極21に対応する切替器84は、ラインメモリ81に記憶されている対応データが点灯(ON)を示している場合には、データパルス発生器82を駆動してデータ電極21にデータパルスを印加するが、ラインメモリ81に記憶されている対応データが非点灯(OFF)を示している場合には、更に上記判定部の判定結果を参照し、「点灯セルの近傍に位置する」と判定している場合だけ補助パルス発生器83を駆動してデータ電極21に補助パルスを印加し、「点灯セルの近傍に位置しない」と判定している場合にはパルスを印加しない。

【0086】【実施の形態2-1】本実施の形態におけるPDP表示装置の全体構成は、上記実施の形態1-1における図1に示したものと同様である。図10(A)は、本実施の形態において、PDP1の各電極に印加される駆動波形を示す。

【0087】本実施の形態では、図10(A)に示すように、書き込み期間において、すべてのデータ電極21に対して一括してデータベースパルス131を印加しておく。そして、走査電極X<sub>n-2</sub>～X<sub>n+1</sub>に、順次走査パルス110a, 110b, 110c, 110dを印加するが、走査電極X<sub>n</sub>に走査パルス110cを印加するときに、点灯セルに相当するデータ電極Z<sub>m</sub>に、上記データベースパルス131に重畳してデータパルス132を印加する。

【0088】この書き込み期間中、維持電圧12の電圧は一定に維持されている。なお、図10(B)は、比較例に係る駆動波形であって、書き込み期間にデータ電極

21にはデータベースパルス131は印加されず、データパルス130だけが印加されている。図11は、本実施の形態の駆動方法において、書き込み期間に各電極間の発生する電位差の関係を説明する図である。

【0089】当図を参照しながら、データベースパルス131及びデータパルス132の振幅の設定について説明する。データベースパルス131にデータパルス132が重畠された振幅(両パルス131, 132の振幅合計)は、走査パルス110が印加されている走査電極11と、データベースパルス131及びデータパルス132が印加されているデータ電極21との間の電位差203が、書き込み放電が発生する程度の高さ(走査電極11とデータ電極21間の放電開始電圧201を大きく超える)となるように、且つ、走査パルス110が印加されている走査電極11とデータベースパルス131のみが印加されているデータ電極21との間の電位差204が、走査電極11とデータ電極21との間の放電開始電圧201よりもわずかに高く(書き込み放電が発生する電圧より低くなるように)設定する。

【0090】なお、走査電極11と維持電極12間の電位差205は、走査電極11と維持電極12間の放電開始電圧202を越えないように設定する。上記設定によって、図10(A)に示されるように、比較例に係る図10(B)と比べて、データ電極に印加される電圧は高レベルになっており、書き込み期間には以下のように動作する。

【0091】走査パルスが印加されている走査電極11に沿ったセルの中で、点灯セルでは、走査パルスが印加されると同時にデータパルスが印加され、走査電極11とデータ電極との電位差203が走査電極とデータ電極の放電開始電圧201を大きく超えるため、書き込み放電が発生する。そして、書き込み放電により誘発されて書き込み維持放電が発生し、書き込みが行われる。

【0092】一方、走査パルスが印加されている走査電極11に沿ったセルの中で、非点灯セルに対しては、データパルスが印加されず走査パルスのみが印加されるが、この場合、走査電極11とデータ電極21との電位差204は、走査電極11とデータ電極21間の放電開始電圧201をわずかに超える程度となるため、補助放電が発生する。この補助放電は、書き込み放電より弱いので書き込みがなされないし、書き込み維持放電が誘発されることもない。

【0093】このように、走査パルスが印加されている走査電極11に沿ったセルで、補助放電もしくは書き込み放電により発生したプライミング粒子は、次に走査パルスが印加される走査電極11に沿ったセル(即ち、下側に隣接するセル)にも流入するので、当該走査パルスが印加される走査電極に沿ったセル内の空間は、放電が起こりやすい状態となっている。

【0094】従って、点灯セルでは、走査パルス及びデータパルスを印加開始してから極めて短時間で書き込み放電が発生する。よって、走査パルスおよびデータパルスのパルス幅を短く(1.0 μsec程度)設定しても、書き込み不良の発生を抑えることができる。即ち、書き込み時間の短縮を図りながら高画質表示を得ることができる。

【0095】上記のようにデータベースパルス131に重畠してデータパルス132を印加するための回路構成としては、上記図1に示すデータパルス発生回路80において、データパルス発生器の他に、データベースパルスを発生するデータベースパルス発生器を設置し、データパルスとデータベースパルスとを重畠してデータ電極21に印加できるようにすればよい。そして、このようにデータパルスとデータベースパルスとを重畠させることによって、上記のようにデータ電極21に高レベルの電圧を印加することも比較的容易となる。

【0096】次に、補助放電の放電規模について考察する。走査電極11に走査パルスを印加することに、書き込み放電並びに補助放電による発光も生じるが、図10(A)におけるグラフ210は、データ電極Xn上で発生する放電の発光を、走査パルスを追いかけて順次下方に移動しながらフォトダイオードなどを用いてオシロスコープで観測したときの発光強度を示すものである。

【0097】グラフ210において、非点灯セルでは補助放電による微小な発光ピーク211、点灯セルにおいては、書き込み放電及び書き込み維持放電による比較的大きな発光ピーク212が表れていることがわかる。なお、発光ピーク211, 212は、図11においても同じ符号で表示している。発光ピーク211, 212の大きさは、駆動波形を変動することによって変わるが、発光ピーク212の発光量に対する発光ピーク211の発光量の比率は、プライミング粒子を十分に発生して書き込み不良防止効果を得ることを考慮すると1/100以上の範囲に設定することが好ましい。一方、当該比率が大きくなり過ぎると、誤アドレスやコントラスト低下が生じるので、この点を考慮すると1/10以下の範囲に調整することが好ましい。

【0098】なお、図10(B)の比較例における発光強度のグラフ210には、点灯セルでは書き込み放電及び書き込み維持放電による発光ピーク212は観測されるが、非点灯セルでは補助放電による発光ピーク211は観測されない。

【実施の形態2-2】本実施の形態におけるPDP表示装置の全体構成も、実施の形態1-1における図1に示したものと同様である。

【0099】図12は、本実施の形態において、PDP1の各電極に印加される駆動波形を示す。本実施の形態では、図12に示すように、書き込み期間において、すべての走査電極11に対して、スキャンベースパルス111を常時印加しておき、走査電極Xn-2, Xn-1, Xn,

X<sub>n+1</sub>に対して順次、走査パルス112a～112dを、上記スキャンベースパルス111に重畳させて印加する。そして、走査電極X<sub>n</sub>に走査パルス112cを印加するときに、点灯セルに相当するデータ電極Z<sub>m</sub>に、データパルス130を印加する。

【0100】また、書き込み期間中、維持電極12には、スキャンベースパルス111と同極性のサスペースパルス121を常時印加する。本実施の形態の駆動方法において、書き込み期間に各電極間の発生する電位差の関係は、上記図11に示したの同様にする。即ち、スキャンベースパルス111及び走査パルス112が重畳されたもの振幅は、スキャンベースパルス111と走査パルス112が重畳して印加されている走査電極11と、データパルス130が印加されているデータ電極21との間の電位差203が、書き込み放電が起こる程度の高さで、且つ、スキャンベースパルス111と走査パルス112が印加されている走査電極11と、データパルス130が印加されていないデータ電極21との間の電位差204が、走査電極11とデータ電極21との間の放電開始電圧よりわずかに高く（書き込み放電が発生する電圧よりは低く）設定する。

【0101】また、サスペースパルス121の振幅は、スキャンベースパルス111と走査パルス112とが重畳して印加されている走査電極11と、サスペースパルス121が印加されている維持電極12との間の電位差が、走査電極11と維持電極12との間の放電開始電圧より低くなるように設定する。上記設定によって、図12に示されるように、比較例に係る図10（B）と比べて、走査電極に印加される電圧絶対値が高レベルとなる。そして、書き込み期間には、上記実施の形態2-1と同様の動作がなされる。

【0102】即ち、走査パルス112が印加されている走査電極に沿ったセルの中で、点灯セルでは、走査パルスが印加されると同時にデータパルスが印加され、走査電極11とデータ電極21との間の電位差が、走査電極11とデータ電極21との間の放電開始電圧を大きく超えて、書き込み放電が発生する。そして、書き込み放電により誘発されて書き込み維持放電が発生し、書き込みが行われる。

【0103】一方、非点灯セルに対しては、データパルスが印加されず走査パルスのみが印加されるので、走査電極11とデータ電極21との間の電位差は、走査電極11とデータ電極21との間の放電開始電圧をわずかに超える程度となり、この場合補助放電が発生する。この補助放電によっては、書き込み維持放電が誘発されない。そして、この補助放電もしくは書き込み放電により発生したプライミング粒子は、次に走査パルスが印加される走査電極に沿ったセルにも流入するので、次に走査パルスが印加されるときに、セル内の空間は、放電が起こりやすい状態となっているので、走査パルスおよびデータパル

スのパルス幅を短く（1.0 μsec程度）設定しても、書き込み不良の発生を抑えることができる。

【0104】上記のように、スキャンベースパルス111に重畳して走査パルス112を印加するには、上記図1に示す初期化・維持パルス発生回路60に、スキャンベースパルス111を印加するスキャンベースパルス発生器を設けると共に、スキャンベースパルス111と走査パルス112とを重畳して走査電極11に印加するような構成にすればよい。また、維持電極12に上記サスペースパルス121を印加するためには、維持・消去パルス発生回路70にサスペースパルス発生器を設ければよい。

【0105】そして、このようにスキャンベースパルスと走査パルスとを重畳させることによって、上記のように走査電極11に高レベルの電圧を印加することも比較的容易である。本実施の形態においても、上記実施の形態2-1と同様、図12におけるグラフ210に示すように、走査電極11に走査パルスを印加することに放電が発生し、非点灯セルでは補助放電による微小な発光ピーク211、点灯セルにおいては、書き込み放電及び書き込み維持放電による比較的大きな発光ピーク212が表れる。そして、発光ピーク212の発光量に対する発光ピーク211の発光量の比率は、1/100以上、1/10以下の範囲に調整することが好ましい。

【0106】【実施の形態2-3】本実施の形態におけるPDP表示装置の全体構成も、上記実施の形態1-1における図1に示したものと同様である。図13は、本実施の形態において、PDP1の各電極に印加する駆動波形を示す図である。

【0107】本実施の形態では、基本的に一般的な駆動方法と同じであって、図13に示すように、走査電極11に、走査パルス113a～113dを順次印加するが、走査電極X<sub>n</sub>に走査パルス112cを印加するときに、点灯セルに相当するデータ電極Z<sub>m</sub>にデータパルス130を印加する。また、書き込み期間中、維持電極12には、スキャンベースパルス111と同極性のサスペースパルス121を印加する。

【0108】ただし、本実施の形態では、走査パルス113a～113dは、図10（B）の走査パルスと比べて、以下のように振幅をかなり大きく設定している。走査パルス113の振幅は、走査パルス113が印加されている走査電極11と、データパルスが印加されていないデータ電極21との間の電位差が、データ電極21と走査電極11との間の放電開始電圧より高く、且つ書き込み維持放電が起こらない程度の電圧に設定する。

【0109】また、データパルス130の振幅は、走査パルス113が印加されている走査電極11と、データパルス130が印加されているデータ電極21との間の電位差が、書き込み維持放電が起こる程度の電圧となるように設定する。また、サスペースパルス121の振幅

は、走査パルス 113 が印加されている走査電極 11 とサスペースパルス 121 が印加されている維持電極 12 の間の電位差が、走査電極 11 と維持電極 12 間の放電開始電圧より低くなるように設定する。

【0110】上記のように設定することによって、書き込み期間に各電極間の発生する電位差の関係は、上記図 11 に示したの同様となる。即ち、走査パルス 113 が印加されている走査電極に沿ったセルの中で、点灯セルでは、走査パルスが印加されると同時にデータパルスが印加され、走査電極 11 とデータ電極 21 との間の電位差が、走査電極 11 とデータ電極 21 間の放電開始電圧を大きく超えて、書き込み放電が発生し、書き込み放電により誘発されて書き込み維持放電が発生し、書き込みが行われる。

【0111】一方、非点灯セルに対しては、データパルスが印加されず走査パルスのみが印加され、走査電極 11 とデータ電極 21 との電位差は、走査電極 11 とデータ電極 21 間の放電開始電圧をわずかに超える程度となり、この場合は補助放電が発生する。この補助放電によっては、書き込み維持放電が誘発されない。このように、点灯セルにおいては書き込み放電が発生し、非点灯セルにおいては書き込みされない程度の補助放電が発生するので、次に走査パルスが印加される走査電極に沿ったセルにプライミング粒子が流入する。走査パルスおよびデータパルスのパルス幅を短く (1.0 μsec程度) 設定しても、書き込み不良の発生を抑えることができる。

【0112】本実施の形態においても、上記実施の形態 2-1 と同様、図 13 におけるグラフ 210 に示すように、走査電極 11 に走査パルスを印加することに放電が発生し、非点灯セルでは補助放電による微小な発光ピーク 211、点灯セルにおいては、書き込み放電及び書き込み維持放電による比較的大きな発光ピーク 212 が表れる。そして、発光ピーク 212 の発光量に対する発光ピーク 211 の発光量の比率は、1/100 以上、1/10 以下の範囲内に調整することが好ましい。

#### 【0113】【実施の形態 3-1】

(PDP 表示装置の構成について) 図 14 は、本実施の形態に係る PDP 表示装置の構成を示す図である。PDP 2 の電極構成は、実施の形態 1-1 における図 1 で示した PDP 1 とほぼ同じであるが、更に、各走査電極 11 に隣接してこれに並行する補助放電電極 31 を備えている。

【0114】図 15 は、図 14 に示す PDP 2 の A-A' での構造断面図である。PDP 2において、前面ガラス基板 10 と背面ガラス基板 20 とが、放電空間 30 を介して対向配置されている。前面ガラス基板 10 の対向面上に、走査電極 11、維持電極 12、補助放電電極 31 が並行して配され、それらを蔽うように誘電体層 14 及び保護層 15 が配されている。そして、走査電極 11

1 は、透明電極層 11b 上にバス電極層 11a が積層されて形成され、維持電極 12 は、透明電極層 12b 上にバス電極層 12a が積層されて形成され、補助放電電極 31 は、走査電極 11 のバス電極層 11a に隣接して、遮光膜 32 上に設けられている。

【0115】補助放電電極 31 と走査電極 11 との間隙は、走査電極 11 と維持電極 12 との間隙より狭く、走査パルスの振幅 ( $V_t - V_g$ ) 程度の電位差が生じるときに補助放電が発生するよう設定されている。一方、背面ガラス基板 20 の対向面上に、データ電極 21 が、上記走査電極 11 と立体交差するように配され、データ電極 21 を覆うように誘電体層 23 及び蛍光体層 24 が配されている。

【0116】(駆動波形及び回路について) 図 16 は、PDP 2 の各電極に印加する駆動波形を示す図である。走査電極 11、維持電極 12、データ電極 21 に印加される駆動波形は、実施の形態 1-1 の全体構成で説明した通りであって、基本的な動作も一般的な 3 電極交流面放電型 PDP の駆動波形と同様である。

【0117】図 14 に示すように、本実施の形態の PDP 表示装置は、実施の形態 1-1 の図 1 に示したものと駆動回路が同じであって、補助放電電極 31 は、図 14 中の P 点に接続されている。そして当該駆動回路においては、実施の形態 1-1 で説明したように、書き込み期間には、FET 53 が ON、FET 54 が OFF となり、それ以外の期間には、FET 53 が OFF、FET 54 が ON となる。

【0118】従って、補助放電電極 31 には、初期化期間及び維持期間において、初期化・維持パルス発生回路 60 から初期化パルス及び維持パルスが印加されるが、書き込み期間において走査パルスは印加されない。即ち、補助放電電極 31 に印加される駆動波形は、書き込み期間に走査パルスが印加されない以外は走査電極 11 に印加される駆動波形と同一であって、走査電極 11 と補助放電電極 31 には、共に初期化パルス 100 及び維持パルス 141 が印加される。

【0119】図 17 を参照しながら、書き込み期間にパネル内部で発生する現象について説明する。実施の形態 1-1 で説明したように、走査パルスは振幅 ( $V_t - V_g$ ) で負極性なので、走査パルスが印加される走査電極 11 においては、当該走査電極 11 と隣接する補助放電電極 31 との間に ( $V_t - V_g$ ) の電位差が生ずる。

【0120】従って、走査パルスが印加される走査電極 11 では、図 17 (a) に示されるように、走査電極 11 とこれに隣接する補助放電電極 31 との間で補助放電が発生する。そして、補助放電が発生すると、図 17 (b) に示されるようにセルの放電空間中に空間電荷が生じる。ここで、走査電極 11 に走査パルスが印加されるタイミングに合わせて、点灯セルに相当するデータ電極 21 にはデータパルスが印加されるが、このとき、当

該点灯セルには、上記補助放電によって発生する大量の荷電粒子が存在するので、図17(c)に示されるように、走査パルス及びデータパルスの印加開始から極めて短時間で書き込み放電が確実に発生する。

【0121】一方、非点灯セルに相当するデータ電極に対しては、データパルスが印加されず走査パルスのみが印加される。この場合、走査電極11とデータ電極21との電位差は、走査電極11とデータ電極21間の放電開始電圧を超えないもので、書き込み放電は発生しない。よって、本実施の形態の駆動方法によれば、走査パルスおよびデータパルスのパルス幅を短く(1.0μsec程度)設定しても、書き込み放電が確実に発生するので、書き込み不良の発生が抑えられる。

【0122】補助放電電極31と走査電極11との間隙距離としては、 $(V_t - V_g) / 2$ 以上の電位差が発生したときに放電が発生する程度の距離とすることが望ましく、10μm～50μmの範囲に設定することが望ましい。なお、一般的に近接した電極間で放電させると、イオンスペッタリングによって電極周辺の膜に劣化が生じやすいが、本実施の形態では、1フィールド(1/60秒)内に発生する補助放電は数回程度と少ないので、当該補助放電によるイオンスペッタリングで保護層15の特性が劣化することはほとんどない。

【0123】また、補助放電に伴って微小発光が生じるが、この補助放電は、黒表示時でも1フィールドに必ず数度行われるので、一般的には補助放電を発生させると黒表示時の輝度が上昇してコントラストが低下しやすい。これに対して、本実施の形態では、補助放電電極31の下には遮光膜32が形成されているため、補助放電に伴う発光でコントラストが低下することも抑制される。

【0124】また、上記のように、初期化期間及び維持期間においては、走査電極11と補助放電電極31とで同一の駆動波形を印加しているので、初期化・維持パルス発生回路60を兼用でき、また、書き込み期間においても、補助放電電極31は、電位Vtに維持しているので、特に新たな駆動回路は必要とせず、比較的安価な装置とすることが可能である。

【0125】(電極引き出し部における形状について)次に、図18(A), (B)を参照しながら、パネル端の電極引き出し部における電極の形状について説明する。図18(A)には、前面ガラス基板10、背面ガラス基板20、封着部16、走査電極11、維持電極12、補助放電電極31を備えたPDP2の一部が示されている。

【0126】本実施の形態では、図18(A)に示すように、封着部16より内側の表示領域においては、補助放電電極31と走査電極11との間隙D1を、補助放電が可能なように狭く設定するが、封着部16の内縁近く(図中○印)において走査電極11と補助放電電極31

との間隔を広げ、電極引き出し部における補助放電電極31と走査電極11との間隙d1は、前記間隙D1より広く設定されている。

【0127】この間隙d1は、補助放電電極31と走査電極11との間に(Vt-Vg)程度の電位差がかからっても放電が発生しない距離であって、50μm～300μmの範囲内に設定することが望ましい。これにより、表示領域内のみにおいて補助放電を発生させ、電極引き出し部においては、隣接する電極間で放電しないようにすることが可能である。

【0128】また、従来の一般的なPDP300では、図18(B)に示すように、前面ガラス基板310において、封着部316の内側における走査電極311どうしの間隙Dと比べて、封着部316の外側(電極引き出し部)では、走査電極311どうしの間隙dを狭くしている。これは、外部回路と接続するために電極引き出し部に接触させるFPCの幅も狭くできるといった点で有利である。

【0129】これに対して、本実施の形態では、図18(A)に示すように、引き出し部における走査電極11どうしの間隙d2は、表示領域内における走査電極11どうしの間隙D2と同等もしくは間隙D2より大き目に設定しているが、これには以下の効果がある。本実施の形態のPDP2では、前面ガラス基板10側に、走査電極11と同じ数だけ補助放電電極31が形成されているので、引き出し部における電極の数は、一般的なPDPの2倍である。従って仮に、引き出し部で走査電極11どうしの間隙を狭くすると、引き出し部での電極間隔がかなり狭くなり、引き出し部で放電が発生してしまう可能性もあるが、走査電極11どうしの間隙を、引き出し部で表示領域内と同等以上に設定することによって、引き出し部での放電発生を抑えることができる。

【0130】【実施の形態3-2】図19は、本実施の形態に係るPDP表示装置の構成を示す図である。PDP2の構成は、上記実施の形態3-1で図14に示したものと同様である。駆動回路系としては、走査電極11にパルスを印加するものとして、走査パルス(電位Vtを基準として振幅Vtの負極性のパルス)を印加する走査パルス発生回路50、維持パルス301を印加する維持パルス発生回路61、初期化パルスを印加する初期化パルス発生回路62を備え、補助放電電極31にパルスを印加するものとして、書き込み期間に一定電圧Vpの放電誘発パルスを発生する放電誘発パルス発生回路55を備えている。

【0131】上記初期化パルス発生回路62は、維持パルス発生回路61の出力を仮のグラウンドレベルとして動作し、走査パルス発生回路50及び放電誘発パルス発生回路55は、初期化パルス発生回路62の出力を仮のグラウンドレベルとして動作する。次に、維持電極12にパルスを印加するものとして、維持パルスを印加する

維持パルス発生回路71、維持電極12に正極性の維持書き込みパルス120(振幅V<sub>e</sub>)を印加する維持書き込みパルス発生回路72、消去パルスを印加するための消去パルス発生回路73を備えている。

【0132】なお、維持パルス発生回路61及び初期化パルス発生回路62は、走査電極11だけではなく補助放電電極31にも維持パルス及び初期化パルスを印加するようになっている。このように維持パルス発生回路61及び初期化パルス発生回路62を、走査電極11と補助放電電極31とで共有しているので、その分、回路コストが低減される。

【0133】維持書き込みパルス発生回路72は、維持パルス発生回路71の出力を仮のグラウンドレベルとして動作し、消去パルス発生回路73は、維持書き込みパルス発生回路72の出力を仮のグラウンドレベルとして動作する。なお、上記維持書き込みパルスは、書き込み放電が発生する際に、走査電極11と維持電極12との間で書き込み維持放電を発生させて、維持電極12上の誘電体層に負の電荷を蓄積するために印加するものである。

【0134】また、データ電極21に表示データに応じたデータパルスを印加するため、データパルス発生回路80も備えている。これらの各パルス発生回路は、上記実施の形態1-1と同様、パネル制御回路90によってコントロールされている。図20は、本実施の形態に係るPDP2の各電極に印加する駆動波形を示す図である。

【0135】本実施の形態の駆動波形は、上記実施の形態3-1の図16と同様であるが、上記実施の形態3-1では、書き込み期間において、補助放電電極31には走査電極11の基準電圧レベルと同等の電圧V<sub>t</sub>が印加されるようになっていたのに対して、本実施の形態では、書き込み期間において補助放電電極31に印加される電圧V<sub>p</sub>は、放電誘発パルス発生回路55で発生させる放電誘発パルス160の波高によって決まる。

【0136】従って、放電誘発パルス発生回路55によって電圧V<sub>p</sub>の値は、自由に設定できる。電圧V<sub>p</sub>を電圧V<sub>t</sub>より高く設定することもできる。ここで、走査電極11と補助放電電極31との間隙距離については、走査パルスが印加されている走査電極11と補助放電電極31との間の電位差V<sub>d2</sub>(=V<sub>p</sub>)が、走査電極11と補助放電電極31との間の放電開始電圧をわずかに超える程度に設定する必要があるので、上記のように電圧V<sub>p</sub>を高く設定すれば、走査電極11と補助放電電極31との間隙距離の自由度が大きくなる。

【0137】即ち、走査電極11と補助放電電極31との間の電位差が(V<sub>p</sub>-V<sub>t</sub>)のときに、走査電極11と補助放電電極31との間で放電が発生せず、且つ、走査電極11と補助放電電極31との間の電位差がV<sub>d2</sub>(=V<sub>p</sub>)のときに走査電極11と補助放電電極31と

の間で放電が発生するように、走査電極11と補助放電電極31との間隙距離を設定する。従って、電圧V<sub>p</sub>を高く設定するほど、走査電極11と補助放電電極31との間隙距離を大きく設定することが可能となる。

【0138】上記図20に示す波形をPDP2に印加した場合に、書き込み期間においてパネル内部で発生する現象は、上記実施の形態3-1で図17を用いて説明した通りであって、走査パルスが印加される毎に、走査電極11と補助放電電極31との間に補助放電が発生する。そして、この補助放電に伴って発生する大量の荷電粒子の存在により、データパルスを印加してから書きこみ放電が発生するまでの時間は非常に短縮され、確実に書きこみ放電を発生することが可能となる。

【0139】なお、補助放電電極31は、維持電極12よりも走査電極11に近接して設けられているので、維持電極12との間では放電は発生せず、走査電極11との間でのみ発生する。また、図19に示す例では、すべての補助放電電極31に同一の駆動波形を印加するため補助放電電極31を互いに接続しているが、このように接続しなくとも補助放電電極31に同一の駆動波形を印加すれば、同一の効果を得ることができる。

【0140】【実施の形態3-3】本実施の形態のPDPの構成は、上記実施の形態3-2のPDP2と同じである。上記実施の形態3-2と同様である。また駆動方法も、上記実施の形態3-2と同様であるが、図21に示すように維持期間において補助放電電極31をハイインピーダンス状態にするか、あるいは図22に示すように維持期間において補助放電電極31を中間電位に維持する点だけが異なっている。

【0141】図21のように、維持期間において補助放電電極31をハイインピーダンス状態とするには、図19に示した駆動回路ブロックの中で、放電誘発パルス発生回路55と補助放電電極31との接続をON/OFFするスイッチを設け、維持期間においては当該スイッチをOFF、維持期間以外には当該スイッチをONとすればよい。

【0142】上記実施の形態3-2の場合、維持期間において補助放電電極31とこれに隣接する維持電極12との間に大きな電位差が発生するため、この補助放電電極31と維持電極12との間で不必要的放電が発生することによって、走査電極11と維持電極12との間での維持放電が弱まったり停止したりする可能性があるが、本実施の形態では、維持期間において補助放電電極31をハイインピーダンス状態に維持しているため、この不必要的放電を防止することができる。

【0143】なお、補助放電電極31どうしが互いに接続されたままハイインピーダンス状態にしてもよいが、不必要的放電を防止する効果を高めるために、維持期間においては補助放電電極31を互いに非接続とし、独立したハイインピーダンス状態にすることが望ましい。一

方、図22に示すように、維持期間において補助放電電極31を中間電位に維持するには、維持期間において放電誘発パルス発生回路55の出力を、維持パルスと同じ極性で且つ維持パルスよりも低レベル（維持パルスの振幅の1/2程度のレベル）で一定に保つようすればよい。

【0144】この場合、維持期間において、すべての補助放電電極31の電位は、走査電極11及び維持電極12の電位変動幅の中央付近（中間電位）に維持されるので、維持期間において、補助放電電極31とこれに隣接する維持電極12との間に大きな電圧がかかることがない。従って、上記ハイインピーダンス状態にする場合と同様に不必要的放電を防止する効果を奏する。

【0145】なお、図19に示されるように、PDP2において補助放電電極31どうしは相互に接続されており、放電誘発パルス発生回路55によって一括して駆動するようになっているため、回路構成は比較的簡単である。

【実施の形態3-4】図23は、本実施の形態に係るPDP表示装置の構成を示す図である。

【0146】PDP2の構成は、上記実施の形態3-1で図14に示したものと同様である。この駆動回路系の構成は、上記図19のものと同様であるが、初期化期間において補助放電電極31に一定振幅（Vs）の第2初期化パルス101を印加する第2初期化パルス発生回路63を備えている。

【0147】そして、放電誘発パルス発生回路55は、維持パルス発生回路61の出力を仮のグラウンドレベルとして動作し、第2初期化パルス発生回路63は、放電誘発パルス発生回路55の出力を仮のグラウンドレベルとして動作するように接続されている。図24は本実施の形態において、PDP2の各電極に印加する駆動波形について、を参照しながら説明する。

【0148】走査電極11、維持電極12、データ電極21に印加する駆動波形は、実施の形態3-2で図20に示したものと同一である。一方、補助放電電極31には、初期化期間において、第2初期化パルス発生回路63によって正極性で振幅Vsの第2初期化パルス101（電圧Vs）が印加され、書き込み期間においては、放電誘発パルス発生回路55によって正極性で振幅Vp2の放電誘発パルス161（電圧Vp2）が印加される。ここで、上記第2初期化パルスの振幅Vsは、走査電極11に印加する初期化パルスの振幅よりも低く設定されている。

【0149】ここで、電圧Vp2の値、並びに走査電極11と補助放電電極31との間隙の距離について考察する。書き込み期間において走査電極11に走査パルスを印加せず、補助放電電極31に放電誘発パルスを印加した場合には、走査電極と補助放電電極との間には、Vd3 = (初期化期間に蓄積された電荷による電位差) +

(Vp2 - Vt) の電位差が生ずる。また、走査電極11に走査パルスを印加し、補助放電電極31に放電誘発パルスを印加した場合には、走査電極と補助放電電極との間に、Vd4 = (初期化期間に蓄積された電荷による電位差) + Vp2 の電位差が生ずる。

【0150】従って、電圧Vp2の値、並びに走査電極11と補助放電電極31との間隙の距離は、走査電極11と補助放電電極31との間の電位差が上記Vd3では走査電極11と補助放電電極31との間で放電が発生せず、走査電極11と補助放電電極31との間の電位差が上記Vd4では走査電極11と補助放電電極31との間で放電が発生するように設定する。

【0151】次に、上記図24に示す駆動波形を印加したときに、初期化期間及び書き込み期間にパネル内部で発生する現象について説明する。本実施の形態では、補助放電電極31に印加する第2初期化パルス101は、その振幅Vsが初期化パルス100の振幅よりも低いので、初期化期間において、補助放電電極31と走査電極11との間で予備放電が発生する（図25(a)）。

【0152】そして、この予備放電により、補助放電電極31上の誘電体層には正の電荷が蓄積され、走査電極11上の誘電体層には負の電荷が蓄積される（図25(b)）。次に、書き込み期間において、走査電極11に走査パルスが印加されると、当該走査電極11と補助放電電極31との間に補助放電が発生し（図25(c)）。放電空間中に空間電荷が発生する（図25(d)）。

【0153】このように、基本的な動作は、実施の形態3-2と同様であって、走査パルスおよびデータパルスのパルス幅を短く（1.0 μsec程度）設定しても、書き込み不良の発生を抑えることができるという効果も同様に得られるが、放電誘発パルスの振幅Vp2を、実施の形態3-2における放電誘発パルスの振幅Vpよりも小さく設定できる即ち、本実施の形態における電位差Vd4と、上記実施の形態3-2における電位差Vd2 (=Vp) を比べると、どちらも、走査電極11と補助放電電極31との間の放電開始電圧をわずかに超える電圧であるため、電位差Vd2と電位差Vd4とは同等と見ることができる。従って、放電誘発パルスの振幅Vp2は、実施の形態3-2において補助放電電極31に印加する放電誘発パルスの振幅Vpよりも小さく設定できる。

【0154】よって、放電誘発パルス発生回路55中の回路素子の耐電圧を低くできる点で、回路コストを低減することができる。また、初期化期間に蓄積される電荷による電圧が、書き込み期間に放電誘発パルスによる電圧に加算されるので、放電誘発パルスの振幅Vp2を、走査電極11と補助放電電極31との間の放電開始電圧よりも小さく設定しても、補助放電を発生させることも可能である。

【0155】なお、本実施の形態によれば、維持パルス発生回路61を走査電極11と補助放電電極31とで共有しているので、別個に設ける場合と比べると回路コストが低減できる。

(本実施の形態の変形例) なお、図26に示す駆動波形のように、補助放電電極31に第2初期化パルスを印加せず、初期化期間にグラウンド電位とすることによって、放電誘発パルスの振幅V<sub>p</sub>3を上記V<sub>p</sub>2よりも低く設定しても、同様の効果を奏する。また、この場合、図23に示す駆動回路の中で、第2初期化パルス発生回路63を省くことができるので、回路コストを削減することができる。

【0156】また、補助放電電極31に印加する第2初期化パルス(振幅V<sub>s</sub>)は正極性でなくともよく、これを負極性とすることもできる。その場合、初期化期間において、補助放電電極31上に蓄積される正電荷量が更に大きくなるので、補助放電電極31に印加する放電誘発パルスの振幅を更に低く設定しても、同様の効果を奏することになる。

【0157】また、本実施の形態においても、上記実施の形態3-3で説明したのと同様に図23に示した駆動回路ブロック中の第2初期化パルス発生回路63または放電誘発パルス発生回路55出力を、維持期間においてハイインピーダンス状態にしたり、或は図23に示した駆動回路ブロック中の第2初期化パルス発生回路63または放電誘発パルス発生回路55の出力を維持期間において維持パルス振幅の1/2とすれば、表示に必要な走査電極11と維持電極12との間での維持放電が弱まつたり、停止するのを防止することが可能であって、補助放電電極31と維持電極12との間の放電を防止することも可能である。

【0158】また、放電誘発パルス発生回路55と第2初期化パルス発生回路63の位置関係を入れ替え、第2初期化パルス発生回路63を維持パルス発生回路61の出力を基準電位として動作させ、放電誘発パルス発生回路55を第2初期化パルス発生回路63の出力を基準電位として動作させ、放電誘発パルス発生回路55の出力を補助放電電極31に接続しても上記と同様の効果が得られる。

【0159】〔実施の形態3-5〕 図27は、本実施の形態に係るPDPの駆動波形を示す図である。本実施の形態の駆動波形は、図16に示した駆動波形とほぼ同様であるが、走査パルスが印加開始されてからデータパルスが印加開始されるまでに、若干の遅れ時間T<sub>d</sub>が設定されている点が異なっている。

【0160】この遅れ時間T<sub>d</sub>の設定は、パネル制御回路90からデータパルス発生回路80にトリガ信号を送るタイミングを調整することによって行なうことができる。遅れ時間T<sub>d</sub>は、0nsより大きく500ns以下、好ましくは300ns以下に設定するのが好まし

い。この理由を以下に述べる。補助放電は走査パルスが印加されてからわずかに遅れて発生し、この際に発生した空間電荷は、時間がたてば再結合して消滅する。また、高速に且つ確実に書きこみ放電を発生させるためには、放電空間に空間電荷が存在している間にデータパルスを印加しなければならない。従ってデータパルスを印加するのは補助放電により空間電荷が発生してからその空間電荷が消滅するまでの間であることが望ましい。この時間が0ns～500nsの間である。

【0161】従って、走査パルスを印加開始してから0ns～500ns遅らせてデータパルスを印加開始することにより、補助放電による書き込み放電開始までの時間短縮効果をより確実なものとすることができる。なお、図16に示した駆動波形は、遅れ時間T<sub>d</sub>=0の場合を示していることになる。

【0162】また、この遅れ時間T<sub>d</sub>の設定は、実施の形態3-1に対してだけでなく、実施の形態3-2～3-4に適用することによっても、同様の効果を奏する。

〔実施の形態3-6〕 上記実施の形態3-1～3-4は、いずれもPDP2において、走査電極11に走査パルスが印加される毎に、走査電極11と補助放電電極31との間において補助放電を発生させるものであるが、本実施の形態では、以下に説明するように、PDP2の電極構造を工夫することにより、この補助放電を更に良好に発生させるものである。

【0163】図28(A)に示す例では、セル内部において、補助放電電極31に、走査電極11側に突出する1または複数の小突起33aを樹状に形成する。これによって、補助放電電極31と走査電極11との間隙距離が小さくなり、補助放電を発生しやすくなることができる。図28(B)に示す例では、セル内部において、補助放電電極31に、補助放電電極31に、走査電極11側に突出する幅広の突起33bを形成する。これによって、補助放電電極31と走査電極11との間隙距離が小さくなり、補助放電を発生しやすくなると共に、補助放電電極31の抵抗値を下げることもできるので、放電の際の電圧降下を防ぎ、補助放電の発生を容易にすることもできる。

【0164】また、図28(C)に示す例では、補助放電電極31に、走査電極11側に突出する1つまたは複数のT字状小突起33cを形成する。図28(D)に示す例では、補助放電電極31に、走査電極11側に突出する1または複数のL字状小突起33dを形成する。この場合、補助放電電極31と走査電極11との間隙距離が小さくなり、補助放電を発生しやすくなると共に、過大な放電電流が流れ電極が焼損することが防止される。更に、走査電極11と補助放電電極31の対向する部分の面積が増大する点でも、補助放電が発生しやすくなる。

【0165】ところで、図28(C)のように突起33

c を T 字状に形成した場合には端部が 2 箇所（図中○印で表示）存在するが、図 28 (d) のように突起 3 3 d を L 字状に形成した場合には端部が 1 箇所である。ここで、基板上に形成された電極は、その端部において比較的基板から剥離しやすいため、後者の方が電極剥離が生じる可能性が少ない。

【0166】なお、上記図 28 (A) ~ (D) では、補助放電電極 3 1 側に突起 3 3 a ~ 3 3 d を形成する例を示したが、図 28 (E) ~ (H) に示すように、突起 3 3 a ~ 3 3 d と形状が同様である突起 1 3 a ~ 1 3 d を、走査電極 1 1 側に形成しても、同様の効果を得ることができる。

#### 〔実施の形態 4-1〕

(PDP 表示装置の全体構成について) 図 29 は、本実施の形態に係る PDP 表示装置の構成を示す図である。また、図 30 は、図 29 に示す PDP 3 の B-B' での構造断面図である。

【0167】PDP 3 の電極構成は、図 14 に示した PDP 2 と同様の構成であるが、PDP 2 では、走査電極 1 1 に隣接して補助放電電極 3 1 を備え、走査電極 1 1 と補助放電電極 3 1 との間隙で補助放電が発生するよう設計していたのに対して、PDP 3 では、走査電極 1 1 に隣接して、1 対の第 1 補助放電電極 4 1 及び第 2 補助放電電極 4 2 を遮光膜 4 3 上に備え、この 1 対の補助放電電極 4 1, 4 2 どうしの間で補助放電が発生するよう設計されている点が異なっている。

【0168】そして、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間隙で補助放電が発生するように、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間隙は、(V<sub>t</sub>-V<sub>g</sub>) 程度の電位差で小さな放電が発生するよう設定されている。なお、この間隙は、(V<sub>t</sub>-V<sub>g</sub>) / 2 以上の電位差が発生した場合に放電を発生する程度の距離であることが望ましく、数値範囲としては 10 μm ~ 50 μm の範囲内であることが望ましい。

【0169】また、図 29 に示すように、各第 1 補助放電電極 4 1 はこれに隣接する走査電極 1 1 と接続されており、第 2 補助放電電極 4 2 はすべて図 29 の P 点に接続されている。本実施の形態における駆動回路系の構成については、実施の形態 3-1 で図 14 を用いて説明したものと全く同一であるので、回路コストが増大するということはない。

【0170】(駆動波形及び回路について) 図 31 は、PDP 3 の各電極に印加される駆動波形を示す図である。走査電極 1 1, 維持電極 1 2, データ電極 2 1 に印加される駆動波形は、実施の形態 3-1 で説明した図 16 の駆動波形と同一であって、PDP 3 の基本的な動作は、一般的な 3 電極交流面放電型 PDP の駆動波形と同様である。また、第 2 補助放電電極 4 2 に印加される駆動波形は、実施の形態 3-1 において図 16 を参照して説明した補助放電電極 3 1 に印加される駆動波形と同じ

である。

【0171】また、各第 1 補助放電電極 4 1 に印加される駆動波形は、これに隣接されている走査電極 1 1 の駆動波形と同じである。なお、図 31 において、第 1 補助放電電極 4 1 に印加される駆動波形として、走査電極 X<sub>n</sub> に隣接するものについてだけを示している。次に、図 32 を参照しながら、書き込み期間にパネル内部で発生する現象について説明する。

【0172】走査パルスは、振幅 (V<sub>t</sub>-V<sub>g</sub>) で負極性なので、走査電極 1 1 に走査パルスが印加されると、走査電極 1 1 に接続されている第 1 補助放電電極 4 1 と、第 2 補助放電電極 4 2 との間に (V<sub>t</sub>-V<sub>g</sub>) の電位差が生ずる。従って、走査電極 1 1 に走査パルスが印加される毎に、図 32 (a) に示されるように、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間で補助放電が発生する。そして、補助放電が発生すると、図 32 (b) に示されるように放電空間中に空間電荷が発生する。

【0173】一方、走査電極 1 1 に走査パルスが印加される毎に、点灯セルに相当するデータ電極 2 1 にはデータパルスが印加される。このとき、上記の様に、補助放電によって発生した大量の荷電粒子が当該セルに存在しているので、きわめて短時間で確実に書き込み放電が発生する。よって、走査パルスの時間幅を短く (1.0 μs e c 程度) 設定しても確実に書き込みができる。

【0174】また、上記実施の形態 3-1 で説明したのと同様、補助放電の発生頻度は多くないのでイオンスペッタリングで保護層 1 5 の特性が劣化するということではなく、また、第 1 補助放電電極 4 1 及び第 2 補助放電電極 4 2 の下には遮光膜 4 3 が形成されているため、補助放電によるコントラストの低下も抑えられる。以上のような実施の形態 3-1 と同様の効果に加えて、本実施の形態では以下の効果も奏する。

【0175】実施の形態 3-1 においては、補助放電電極 3 1 と走査電極 1 1 との間で補助放電を発生させるので、走査電極 1 1 上の誘電体層に不要な壁電荷が蓄積されたり逆に必要な壁電荷が減少したりする可能性があるので、維持期間において非点灯セルが発光したり点灯セルが発光しないといった点灯不良が出る可能性もある。

【0176】これに対して、本実施の形態では、第 1 電極 1 1 とは別の第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間で補助放電を発生させて、走査電極 1 1 上の誘電体層への壁電荷形成にはほとんど影響しない。これは、走査電極 1 1, 維持電極 1 2, データ電極 2 1 に対する基本的な駆動については、従来の 3 電極交流面放電型 PDP の駆動技術をそのまま適用できることを意味する。

【0177】なお、上記図 30 に示した例では、PDP 3において、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 が遮光膜 4 3 のすぐ上に形成され、その上から誘電体層 1 4、保護層 1 5 で覆われているが、図 33 のよう

に、遮光膜43の上に誘電体層14、保護層15を形成した上に、第1補助放電電極41と第2補助放電電極42を形成してもよい。この場合、第1補助放電電極41と第2補助放電電極42が直接放電空間に臨んでいるが、同様に補助放電を発生させることができる。またこの場合も、補助放電の発生頻度は多くないので、イオンスパッタリングで補助放電電極41、42の特性が劣化するということではなく、補助放電電極41、42の下には遮光膜43が形成されているため、補助放電によるコントラストの低下も抑えられる。

【0178】(電極引き出し部における形状について)  
次に、図34を参照しながら、電極引き出し部における電極の形状について説明する。本実施の形態にかかるPDP3では、前面ガラス基板10側に、走査電極11と同じ数だけ第1補助放電電極41と第2補助放電電極42が形成されているので、従来の一般的なPDPと比べると走査電極の2倍だけ電極数が増える。

【0179】ここで仮に、走査電極11と第1補助放電電極41と第2補助放電電極42とを各々封着部16の外側まで引き出したとすると、引き出し部における電極数は、実施の形態3-1の1.5倍(一般的PDPと比べて3倍)となってしまうので、電極引き出し部の各電極をFPCと接続しにくくなる可能性もある。これに対して、本実施の形態においては、第1補助放電電極41は個別には引き出さず、封着部16より内側において隣接する走査電極11と接続しているので、外部に引き出される電極数は、実施の形態3-1の場合と同等に抑えられている。

【0180】従って、実施の形態3-1の場合と同等に、引き出し部での走査電極11どうしの間隙を、表示領域における間隙と同等以上に設定することによって、引き出し部での放電発生をなくすことができる。また、本実施の形態でも、実施の形態3-1と同様に、封着部16の内縁近く(図中○印)で第1補助放電電極41と第2補助放電電極42との間隔を広げ、電極引き出し部における第1補助放電電極41と第2補助放電電極42との間隙を、広く設定している。

【0181】具体的には、第1補助放電電極41と第2補助放電電極42との引き出し部における間隙を、 $(V_t - V_g)$ 程度の電位差がかかる放電が発生しない距離(好ましくは $50\mu m \sim 300\mu m$ の範囲内)に設定することによって、引き出し部での第1補助放電電極41と第2補助放電電極42間での放電発生をなくすことができる。

【0182】[実施の形態4-2] 図35は、本実施の形態に係るPDP表示装置を示す図である。図中、PDP3の構成は、上記実施の形態4-1で図29に示したものと同様である。駆動回路系は、実施の形態3-2と同様であるので詳しい説明は省略するが、走査電極11及び第1補助放電電極41にパルスを印加するものとし

て、走査パルス(電位 $V_t$ を基準として振幅 $V_t$ の負極性のパルス)を印加する走査パルス発生回路50、維持パルスを印加する維持パルス発生回路61、初期化パルスを印加する初期化パルス発生回路62を備え、第2補助放電電極42にパルスを印加するものとして、書き込み期間に一定電圧 $V_p$ の放電誘発パルスを発生する放電誘発パルス発生回路55を備えている。一方、維持電極12にパルスを印加するものとして、維持パルスを印加する維持パルス発生回路71、維持電極12に正極性の維持書き込みパルス(振幅 $V_e$ )を印加する維持書き込みパルス発生回路72、維持電極12に消去パルスを印加するための消去パルス発生回路73を備えている。

【0183】図36は、PDP3の各電極に印加する駆動波形を示す図であって、上記実施の形態4-1の図31とほぼ同様である。ただし、本実施の形態では、書き込み期間において補助放電電極31に印加する電圧 $V_p$ は、放電誘発パルス発生回路55によって電圧 $V_t$ とは別個に設定することができるので、高い電圧値に設定することも可能である。

【0184】第1補助放電電極41と第2補助放電電極42との間隙及び距離電圧 $V_p$ の値は、走査パルスが印加されている走査電極11に接続された第1補助放電電極41と第2補助放電電極42との間で放電開始電圧をわずかに超える程度となるように設定すると共に、第1補助放電電極41と第2補助放電電極42との間の電位差が $(V_p - V_t)$ のとき、第1補助放電電極41と第2補助放電電極42との間で放電が発生せず、且つ、第1補助放電電極41と第2補助放電電極42との間の電位差が $V_p$ では第1補助放電電極41と第2補助放電電極42の間で放電が発生するように設定する。

【0185】ここで、本実施の形態では、上記のように電圧 $V_p$ を高く設定できるので、第1補助放電電極41と第2補助放電電極42との間隙を、上記実施の形態4-1の場合より大きく設定することも可能である。上記図36に示す波形をPDP3に印加した場合に、書き込み期間においてパネル内部で発生する現象は、上記実施の形態4-1において、図32を参照しながら説明した通りであって、走査パルスが印加される毎に、第1補助放電電極41と第2補助放電電極42との間に補助放電が発生する。従って、この補助放電において発生した大量の荷電粒子の存在により、データパルスを印加してから書き込み放電が発生するまでの時間が非常に短縮され、確実に書き込み放電を発生することが可能となる。

【0186】また、第1補助放電電極41と第2補助放電電極42との間で補助放電を発生させるので、走査電極11上の誘電体層への壁電荷形成にはほとんど影響しない点、また、イオンスパッタリングにより保護層15の特性劣化防止効果や、遮光膜43によって補助放電によるコントラストの低下が抑えられる点、また、維持パ

ルス発生回路を走査電極 1 1 と第 1 補助放電電極 4 1 とで共有しているので、その分、回路コストが低減される点については、上記実施の形態 4-1 と同様である。

【0187】〔実施の形態 4-3〕本実施の形態では、図 3 7 に示すように、上記実施の形態 4-2 と同様であるが、維持期間において第 2 補助放電電極 4 2 をハイインピーダンス状態にする点、もしくは、図 3 8 に示すように、維持期間において放電誘発パルス発生回路 5 5 の出力を維持パルス振幅の  $1/2$  で一定に保ち、第 2 補助放電電極 4 2 の電位を、走査電極 1 1 と維持電極 1 2 の中間電位とする点が異なっている。

【0188】第 2 補助放電電極 4 2 をハイインピーダンス状態にする方法については、上記実施の形態 3-3 で説明した通りである。また、効果についても実施の形態 3-3 で説明したのと同様であって、上記実施の形態 4-2 の場合は、維持期間において第 2 補助放電電極 4 2 とこれに隣接する維持電極 1 2 との間に大きな電位差が発生するため、第 2 補助放電電極 4 2 と維持電極 1 2 の間で不必要的放電が発生することによって、走査電極 1 1 と維持電極 1 2 との間での維持放電が弱まったり停止したりする可能性があるが、本実施の形態ではこれを防止することが可能である。

【0189】なお、第 2 補助放電電極 4 2 の電位を中間電位にする場合は、すべての第 2 補助放電電極 4 2 を互いに接続して一括駆動すれば、回路構成が簡単となる。

〔実施の形態 4-4〕図 3 9 は、本実施の形態に係る PDP 表示装置の構成を示す図である。図中、PDP 3 の構成は、上記実施の形態 4-1 で説明したものと同様である。

【0190】この駆動回路系の構成は、実施の形態 3-4 で図 2 3 に示したものと同じである。即ち、本実施の形態の駆動回路は、上記図 3 5 のものと同様であるが、初期化期間において第 2 補助放電電極 4 2 に一定電圧  $V_s$  のパルスを印加する第 2 初期化パルス発生回路 6 3 を備えている。各電極に印加する駆動波形については、図 4 0 に示す通りであって、走査電極 1 1 、維持電極 1 2 、データ電極 2 1 に印加する駆動波形は従来の 3 電極交流面放電型 PDP の駆動波形と同一である。

【0191】第 2 補助放電電極 4 2 には、初期化期間において、走査電極 1 1 に印加する初期化パルスの振幅よりも振幅が低く設定された振幅  $V_s$  の第 2 初期化パルス（電圧  $V_s$ ）を印加し、書き込み期間において振幅  $V_p$  2 の放電誘発パルス（電圧  $V_p$  2）を印加する。次に、図 4 0 に示す駆動波形を印加した場合に、パネル内部で発生する現象について説明する。

【0192】走査電極 1 1 、維持電極 1 2 、データ電極 2 1 に印加される駆動波形は、図 3 6 に示した駆動波形と同一であるので、基本的な動作も同様であるが、本実施の形態では、初期化期間において、第 2 補助放電電極 4 2 に初期化パルスよりも低い振幅  $V_s$  の第 2 初期化ペ

ルスを印加しているので、第 2 補助放電電極 4 2 と第 1 補助放電電極 4 1 との間で放電 9 0 3 が発生する（図 4 1 (a)）。

【0193】この放電により第 2 補助放電電極 4 2 上の誘電体層には正の電荷が蓄積され、第 1 補助放電電極 4 1 上の誘電体には負の電荷が蓄積される（図 4 1 (b)）。次に、書き込み期間において走査電極 1 1 に走査パルスを印加せず、第 2 補助放電電極 4 2 に放電誘発パルスを印加した場合には、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間に、 $V_d 3 = ($  初期化期間に蓄積された電荷による電位差  $) + (V_p 2 - V_t)$  の電位差が生ずる。

【0194】また、走査電極 1 1 に走査パルスを印加し、第 2 補助放電電極 4 2 に放電誘発パルスを印加した場合には、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間に、 $V_d 4 = ($  初期化期間に蓄積された電荷による電位差  $) + V_p 2$  の電位差が生ずる。ここで、走査パルスが印加される毎に、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間に補助放電が発生する。この補助放電に伴って放電空間中に空間電荷が発生する（図 4 1 (d)）。従って、点灯セルにおいては、データパルスを印加してから書きこみ放電が発生する（図 4 1 (e)）までの時間が、従来に比べ非常に短縮され、確実に書きこみ放電が発生する。

【0195】本実施の形態において、電圧  $V_p$  2 の値、並びに第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間隙の距離は、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 との間の電位差が  $V_d 3$  では第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 の間で放電が発生せず、且つ、第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 の間の電位差が  $V_d 4$  では第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 の間で放電が発生するように設定する。

【0196】ここで、本実施の形態における  $V_d 4$  と、実施の形態 4-2 における電圧  $V_d 2$  とを比べると、どちらも第 1 補助放電電極 4 1 と第 2 補助放電電極 4 2 の放電開始電圧をわずかに超える電圧であるので、電圧  $V_p$  2 は電圧  $V_p$  よりも小さく設定できることがわかる。よって、放電誘発パルス発生回路 5 5 中の回路素子の耐電圧を低くできるため、回路コストを低減することができる。

【0197】（本実施の形態の変形例）第 2 補助放電電極 4 2 に第 2 初期化パルスを印加しなくても、初期化期間に第 2 補助放電電極 4 2 をグラウンド電位とすることによっても同様の効果を奏する。この場合、図 3 9 において、第 2 初期化パルス発生回路 6 3 を省くことができる、回路コストを削減することができる。

【0198】また、第 2 補助放電電極 4 2 に印加する第 2 初期化パルス（振幅  $V_s$ ）は正極性でなくてもよく、これを負極性にすれば、初期化期間において、補助放電電極 3 1 上に蓄積される正電荷量が更に大きくなるの

で、第2補助放電電極42に印加する放電誘発パルスの振幅V<sub>p</sub>2を更に低くすることも可能である。本実施の形態においても、上記実施の形態4-3で説明したのと同様に、図39に示した駆動回路ブロック中の第2初期化パルス発生回路63または放電誘発パルス発生回路55出力を、維持期間においてハイインピーダンス状態にしたり、或は図39に示した駆動回路ブロック中の第2初期化パルス発生回路63または放電誘発パルス発生回路55の出力を維持期間において維持パルス振幅の1/2とすれば、表示に必要な走査電極11と維持電極12との間での維持放電が弱まったり、停止するのを防止することが可能である。

【0199】また、第2補助放電電極42と維持電極12との間の放電を防止することも可能である。なお、上記図23の例では、すべての第2補助放電電極42を互いに接続しているが、必ずしも接続しなくとも、すべての補助放電電極42に同一の駆動波形を印加すれば同様の効果を得ることができる。

【0200】【実施の形態4-5】図42は、本実施の形態に係るPDP表示装置の構成を示す図である。このPDP表示装置において、PDP4は、実施の形態4-2のPDP3と同様の構成であるが、上記実施の形態4-2のPDP3では、各第1補助放電電極41は、それに隣接する走査電極11に接続されていたのに対し、本実施の形態のPDP4では、図42に示すように、各第1補助放電電極41が、次のラインの走査電極11に接続されている点が異なっている。

【0201】また、駆動回路の構成については、実施の形態4-2で説明した通りであって、各電極11, 12, 21, 41に印加される駆動波形は、図36の駆動波形と同じである。本実施の形態においては、走査電極X<sub>n</sub>に走査パルスが印加されているときには、次の走査電極X<sub>n+1</sub>に隣接する第1補助放電電極41に走査パルスと同じパルスが印加され、当該第1補助放電電極41とこれに隣接する第2補助放電電極42との間で補助放電が発生する。即ち、点灯セルにおいて、走査電極X<sub>n</sub>に走査パルスが印加されると共にデータ電極Z<sub>m</sub>にデータパルスが印加されるよりも1ライン書き込み分の時間だけ前に補助放電が発生する。

【0202】従って、補助放電が発生した後、1ライン書き込み分の時間だけ遅れる間に放電空間中に空間電荷が十分に拡散した状態で、走査パルスとデータパルスによる書き込みが行われることになる。よって、補助放電による書き込み放電開始までの時間短縮効果をより確実なものとすることができる。なお、実施の形態4-3で説明したハイインピーダンス(図37)や中間電位(図38)についての説明、或は、実施の形態4-4で説明した初期化期間に第2補助放電電極42に印加する電位についての説明(図40など)は、本実施の形態のPDP表示装置に対しても適用することもできる。

【0203】【実施の形態4-6】上記実施の形態4-1～4-5において説明したPDP表示装置において、図43(A)～(H)に示すように、第1補助放電電極41に突起44a～44dまたは第2補助放電電極42に突起45a～45dを設けることによって、補助放電が発生しやすくなる。

【0204】なお、図43(A)～(H)に示す突起44a～44d、突起45a～45dの形状は、図28(A)～(H)に示す突起33a～33d、突起13a～13dと各々同様の特徴を示すので、各々同様の効果を奏する。

【その他の事項】実施の形態3-5で説明した遅れ時間T<sub>d</sub>の設定は、実施の形態4-1, 4-2, 4-3, 4-4に対しても同様に適用することができ、同様に補助放電による書き込み放電開始までの時間短縮効果をより確実にするという効果を得ることができる。

【0205】上記実施の形態では、初期化パルスを印加する初期化期間を、サブフィールドごとに設ける例について説明したが、この初期化期間はサブフィールド毎になくともよく、例えば、初期化期間が1フィールドの先頭にだけある場合にも同様に適用できる。また、初期化期間は、必ずしも必要というわけではなく、各サブフィールドが、書き込み期間と維持期間だけで構成される場合にも、本発明は適用できる。

【0206】また、上記実施の形態では、維持電極12に消去パルスを印加しているが、消去パルスを走査電極11に印加するようにしてもよい。

【0207】

【発明の効果】以上説明したように、本発明は、PDPを駆動する際に、書き込み期間に、複数の第1電極に走査パルスを順次印加すると共に複数の第3電極に選択的にデータパルスを印加することによって、複数のセルに選択的に書き込み放電を発生させて書き込みを行ない、当該書き込み期間後の発光期間に、書き込まれたセルを発光させる方式で駆動する駆動方法において、書き込み期間において、走査パルスが印加されているときに、複数のセルの中で少なくとも選択的に書き込みを行うセルもしくはセルの周辺に、書き込み放電よりも放電規模が小さい書き込み補助放電を発生させることによって、走査パルス及びデータパルスのパルス幅を短く設定しても、書き込み不良は発生しにくく、確実に書き込みを行うことが可能となる。

【0208】また、上記書き込み補助放電は、放電規模が書き込み放電よりも小さいので、書き込み補助放電自身では書き込み放電には到らず、また書き込み補助放電に伴う発光量は少なくコントラストに対する影響も小さい。

【図面の簡単な説明】

【図1】実施の形態1-1に係るPDP表示装置の構成を示す図である。

【図2】フィールド内時分割階調表示方式で、256階調を表現する場合における1フィールドの分割方法を示す図である。

【図3】実施の形態1-1に係るPDPの駆動波形を示す図である。

【図4】実施の形態1-1に係るPDPにおける走査電極とデータ電極の配置を示す図である。

【図5】図4に示す各走査電極及びデータ電極に印加される駆動波形の一例である。

【図6】図1におけるデータパルス発生回路80の構成を示す図である。

【図7】実施の形態1-2に係る補助パルスの波形の具体例を示す図である。

【図8】実施の形態1-3に係るPDPの駆動波形を示す図である。

【図9】実施の形態1-5に係るPDPの駆動波形を示す図である。

【図10】実施の形態2-1に係るPDPの駆動波形を示す図である。

【図11】実施の形態2-1の駆動方法において、書き込み期間に各電極間の発生する電位差の関係を説明する図である。

【図12】実施の形態2-2に係るPDPの駆動波形を示す図である。

【図13】実施の形態2-3に係るPDPの駆動波形を示す図である。

【図14】実施の形態3-1に係るPDP表示装置の構成を示す図である。

【図15】図14に示すPDPのA-A'での構造断面図である。

【図16】実施の形態3-1に係るPDPの駆動波形を示す図である。

【図17】実施の形態3-1において、書き込み期間にパネル内部で発生する現象を示す図である。

【図18】実施の形態3-1において、電極引き出し部における電極の形状を示す図である。

【図19】実施の形態3-2に係るPDP表示装置の構成を示す図である。

【図20】実施の形態3-2に係るPDPの駆動波形を示す図である。

【図21】実施の形態3-3に係るPDPの駆動波形を示す図である。

【図22】実施の形態3-3に係るPDPの駆動波形を示す図である。

【図23】実施の形態3-4に係るPDP表示装置の構成を示す図である。

【図24】実施の形態3-4に係るPDPの駆動波形を示す図である。

【図25】実施の形態3-4において、パネル内部で発生する現象を示す図である。

【図26】実施の形態3-4に係る変形例の駆動波形を示す図である。

【図27】実施の形態3-5に係るPDPの駆動波形を示す図である。

【図28】実施の形態3-6に係るPDPの電極構造を示す図である。

【図29】実施の形態4-1に係るPDP表示装置の構成を示す図である。

【図30】図29に示すPDPのB-B'での構造断面図である。

【図31】実施の形態4-1に係るPDPの駆動波形を示す図である。

【図32】実施の形態4-1において、書き込み期間にパネル内部で発生する現象を示す図である。

【図33】実施の形態4-1の変形例に係るPDPの構造断面図である。

【図34】実施の形態4-1において、電極引き出し部における電極の形状を示す図である。

【図35】実施の形態4-2に係るPDP表示装置の構成を示す図である。

【図36】実施の形態4-2に係るPDPの駆動波形を示す図である。

【図37】実施の形態4-3に係るPDPの駆動波形を示す図である。

【図38】実施の形態4-3に係るPDPの駆動波形を示す図である。

【図39】実施の形態4-4に係るPDP表示装置の構成を示す図である。

【図40】実施の形態4-4に係るPDPの駆動波形を示す図である。

【図41】実施の形態4-4において、パネル内部で発生する現象を示す図である。

【図42】実施の形態4-5に係るPDP表示装置の構成を示す図である。

【図43】実施の形態4-6に係るPDPの電極構造を示す図である。

#### 【符号の説明】

1~4 PDP

1 0 前面ガラス基板

1 1 走査電極

1 2 維持電極

1 3 a~1 3 d 突起

1 4 誘電体層

2 0 背面ガラス基板

2 1 データ電極

2 3 誘電体層

3 0 放電空間

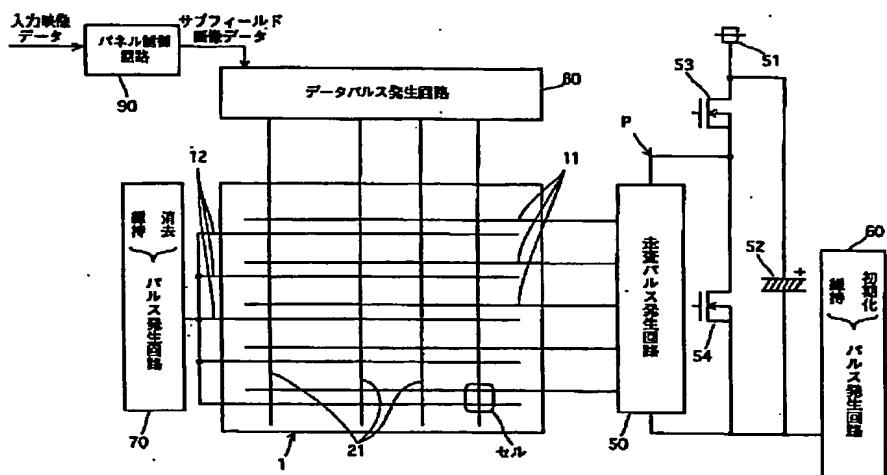
3 1 補助放電電極

3 2 遮光膜

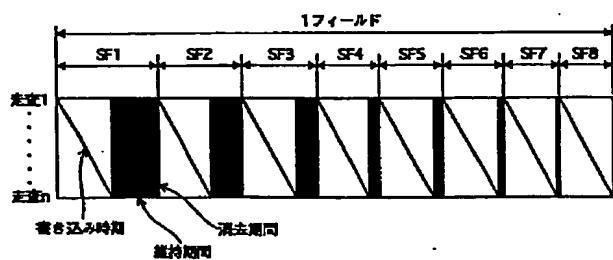
3 3 a~3 3 d 突起

- |               |               |     |               |
|---------------|---------------|-----|---------------|
| 4 1           | 第1補助放電電極      | 6 2 | 初期化パルス発生回路    |
| 4 2           | 第2補助放電電極      | 6 3 | 第2初期化パルス発生回路  |
| 4 3           | 遮光膜           | 7 0 | 維持・消去パルス発生回路  |
| 4 4 a ~ 4 4 d | 突起            | 7 1 | 維持パルス発生回路     |
| 4 5 a ~ 4 5 d | 突起            | 7 2 | 維持書き込みパルス発生回路 |
| 5 0           | 走査パルス発生回路     | 7 3 | 消去パルス発生回路     |
| 5 5           | 放電誘発パルス発生回路   | 8 0 | データパルス発生回路    |
| 6 0           | 初期化・維持パルス発生回路 | 9 0 | パネル制御回路       |
| 6 1           | 維持パルス発生回路     |     |               |

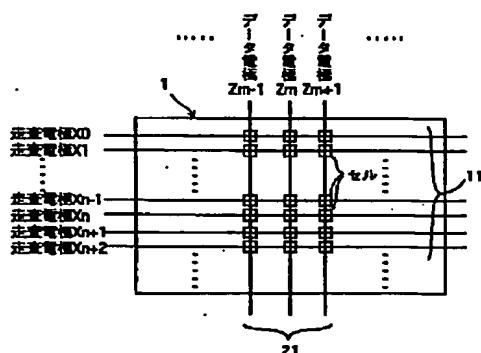
【図 1】



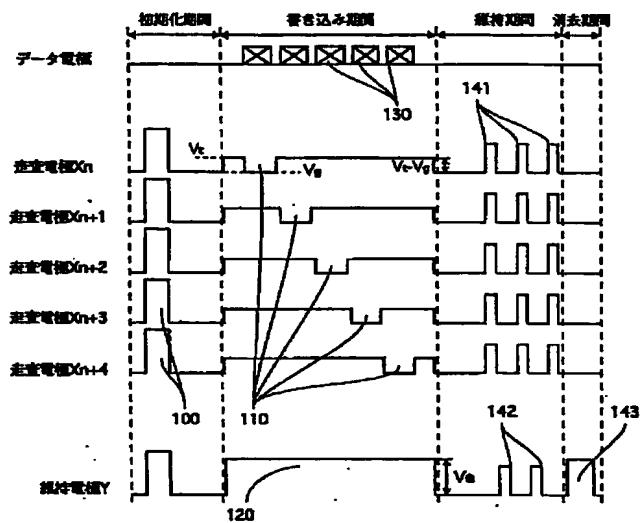
【図 2】



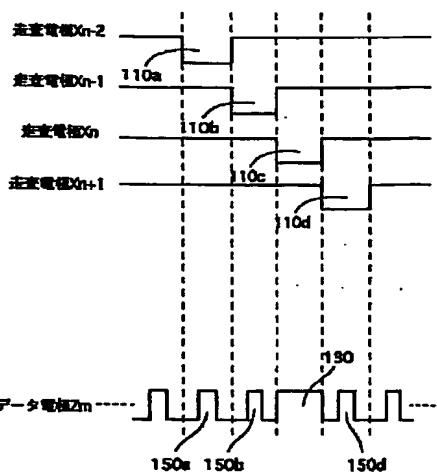
【図 4】



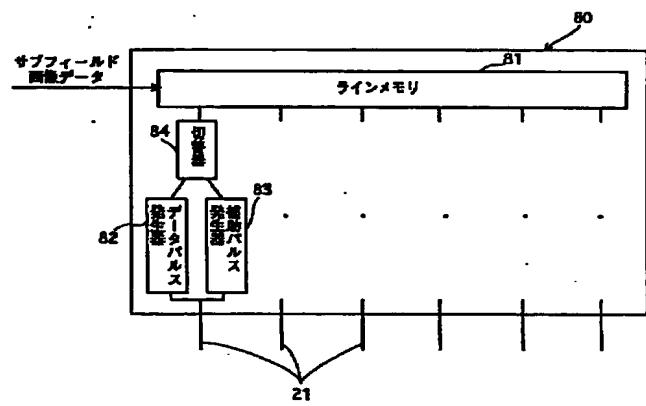
【図3】



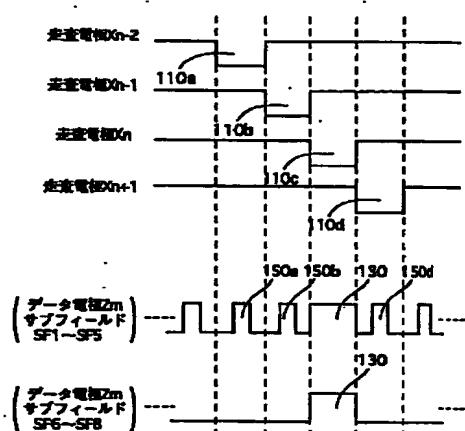
【図5】



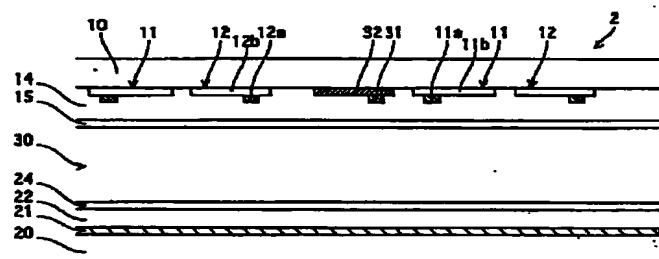
【図6】



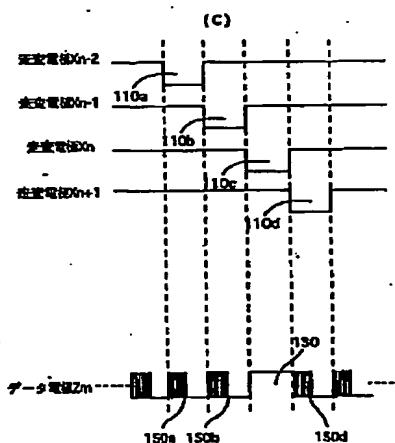
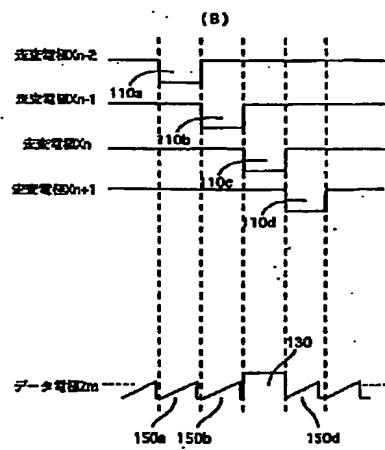
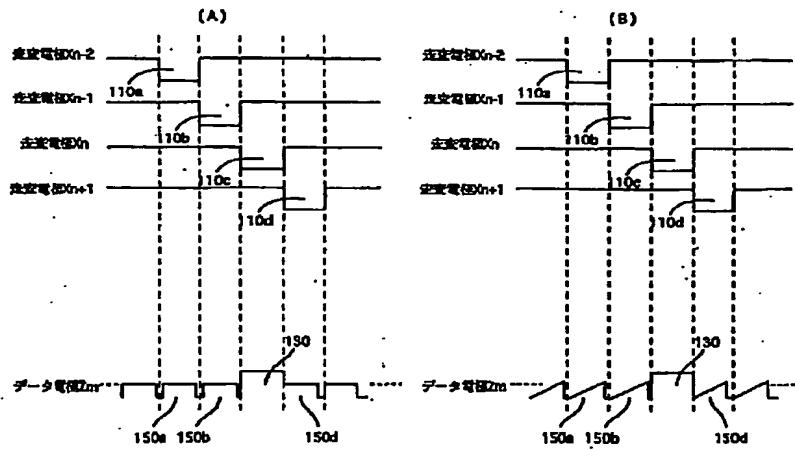
【図8】



【図15】

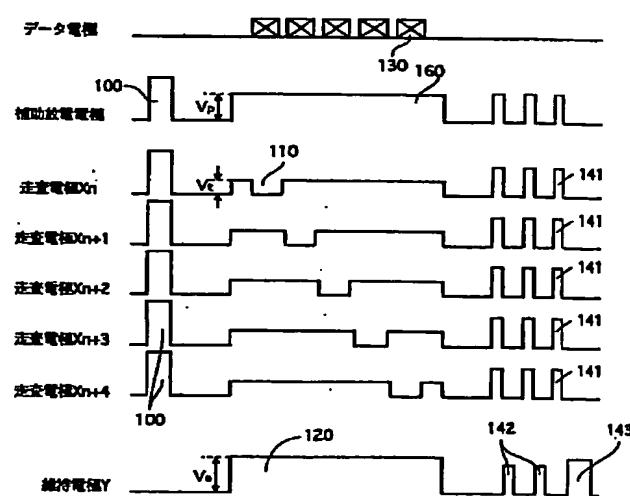
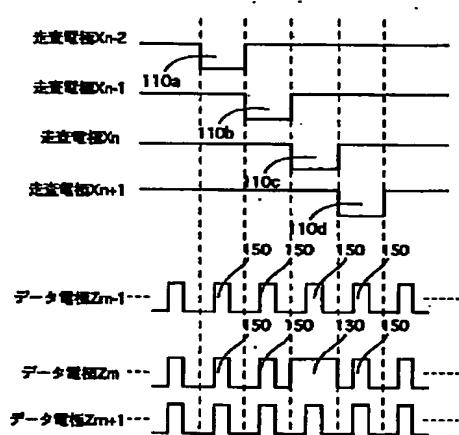


【図 7】

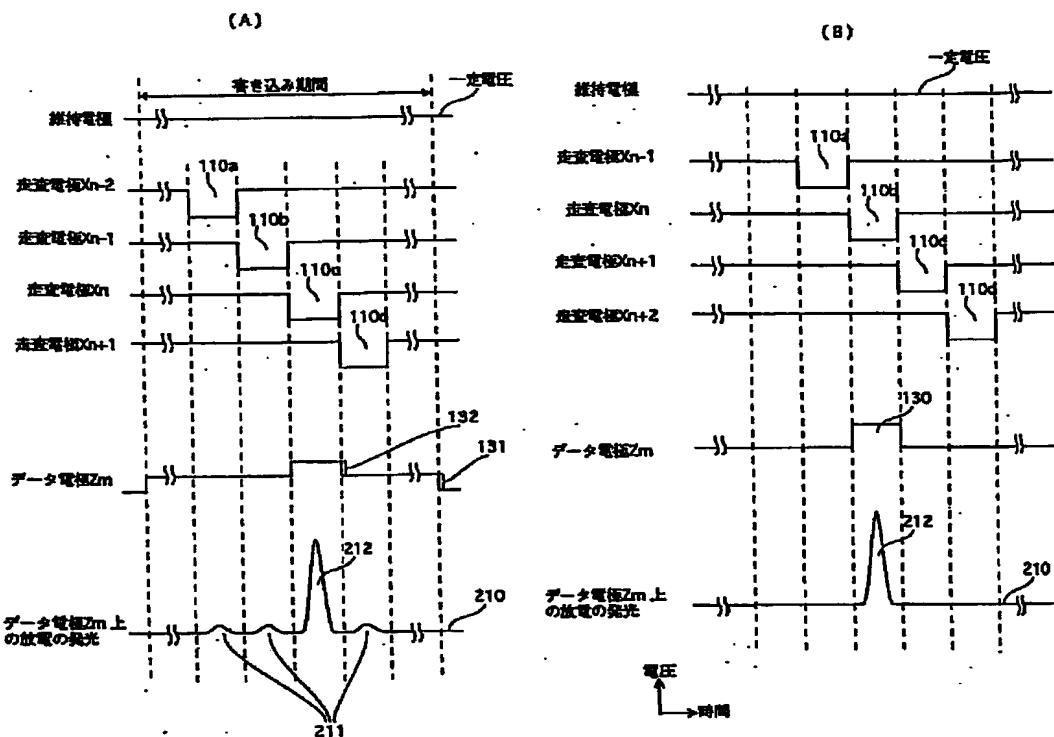


【図 9】

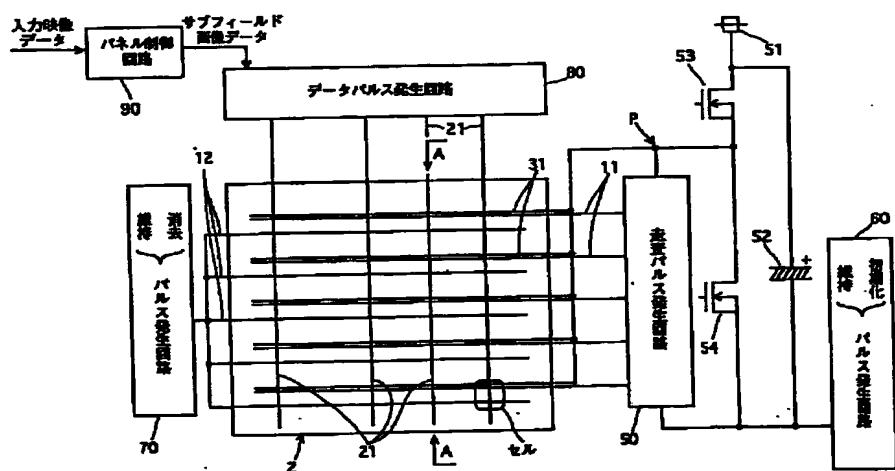
【図 20】



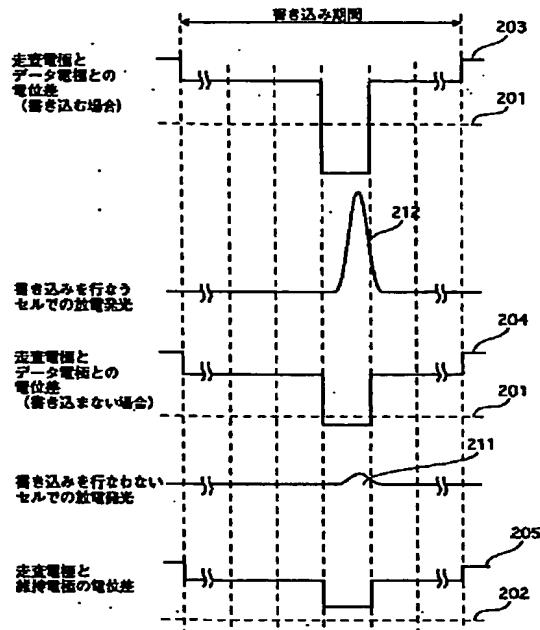
【図10】



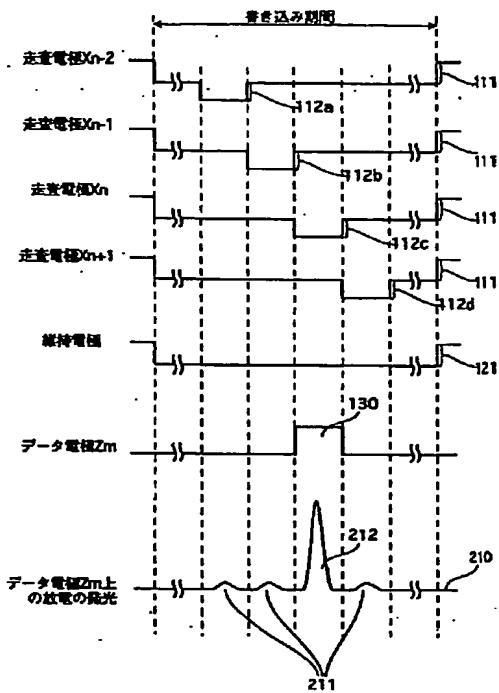
【図14】



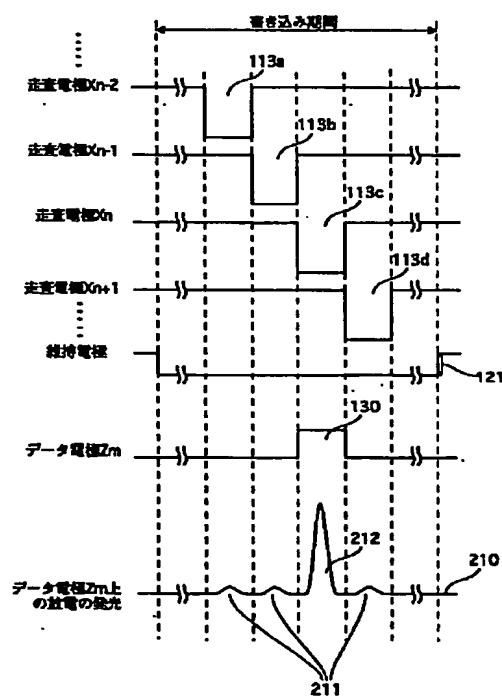
【図1.1】



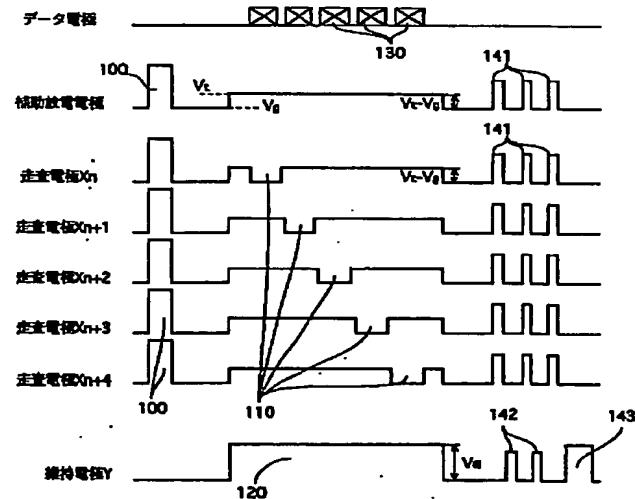
【図1.2】



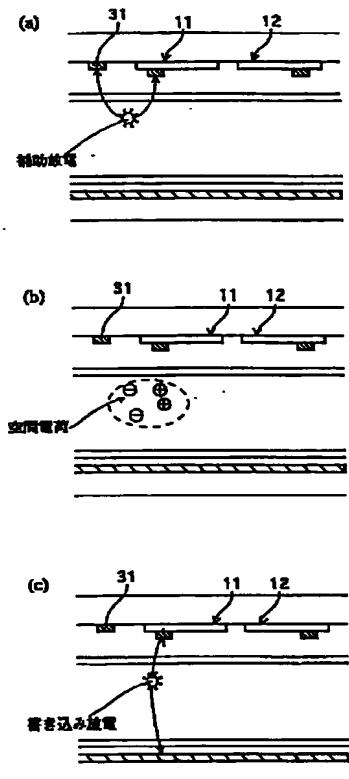
【図1.3】



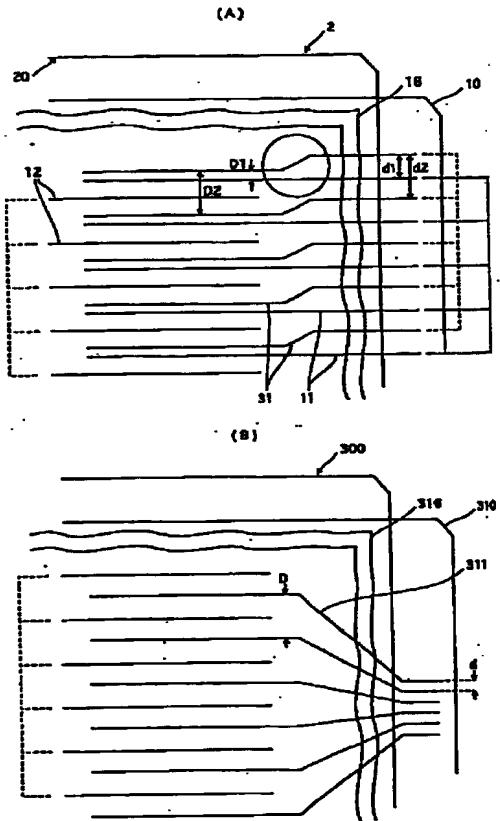
【図1.6】



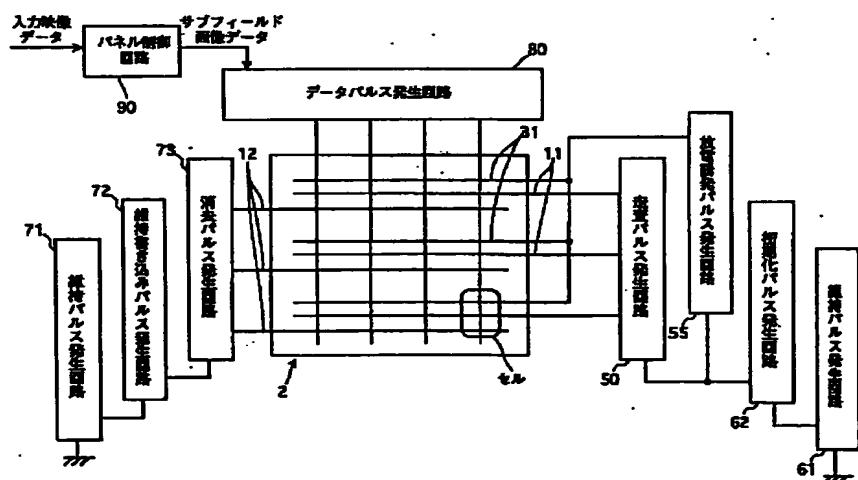
【図17】



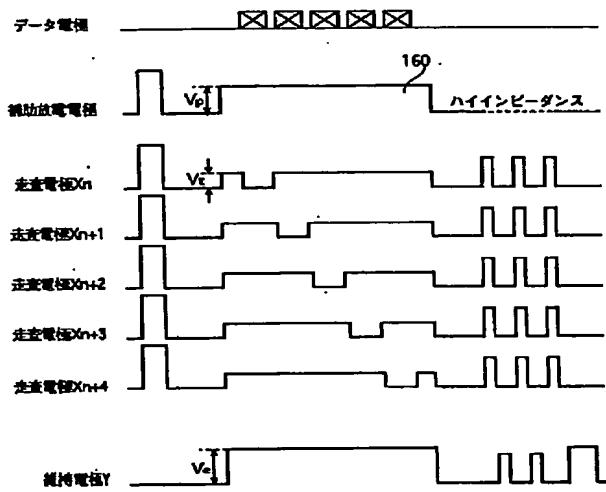
【図18】



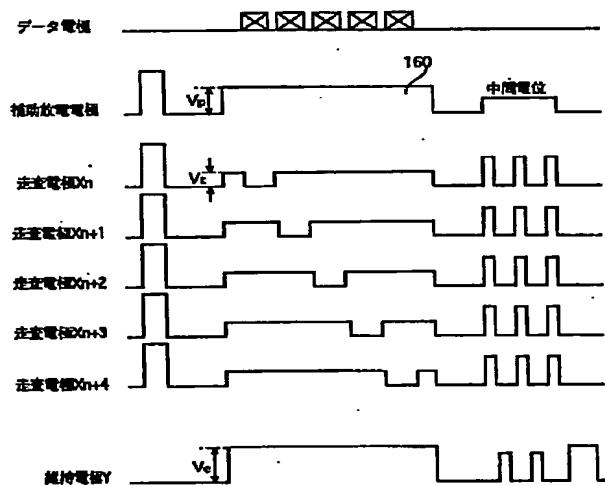
【図19】



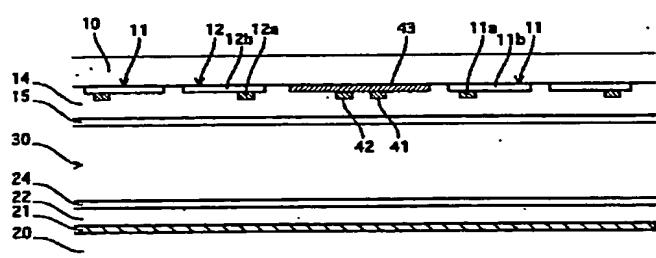
【図21】



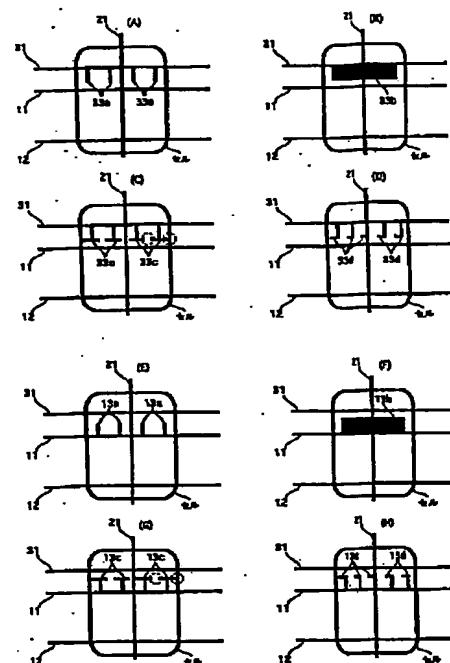
【図22】



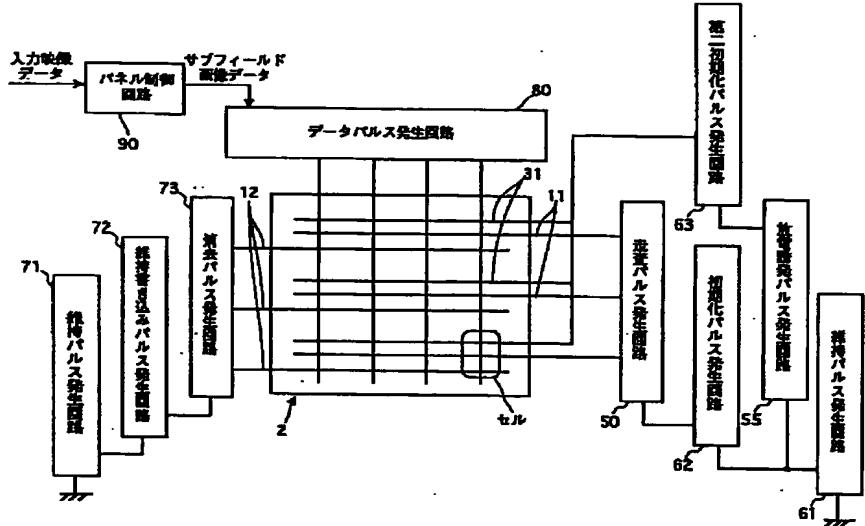
【図30】



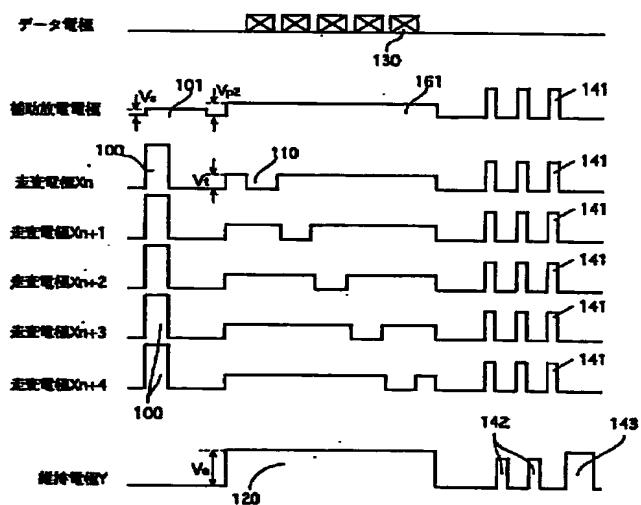
【図28】



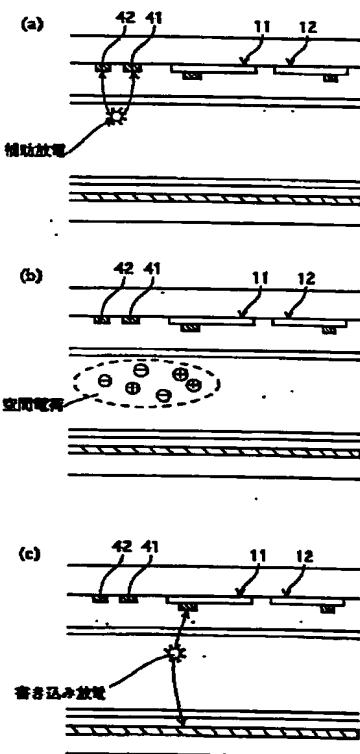
【図 23】



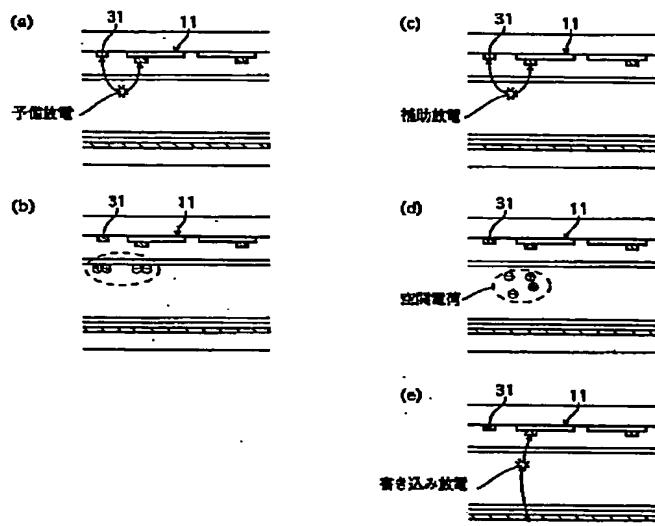
【図 24】



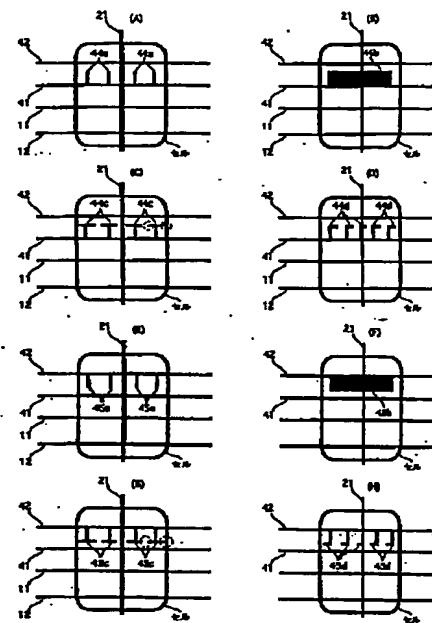
【図 32】



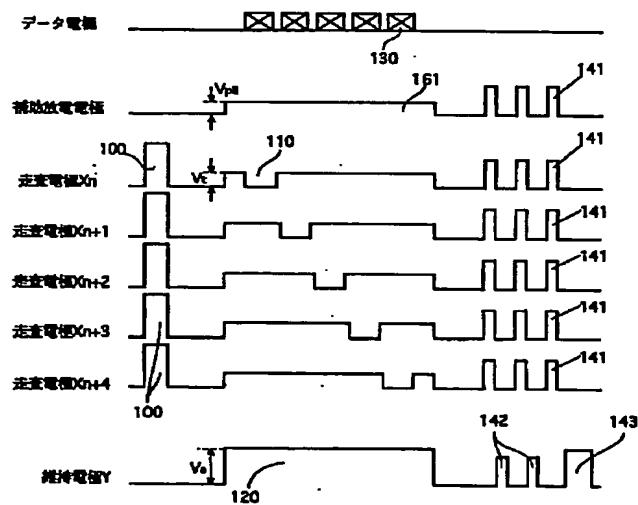
【図 25】



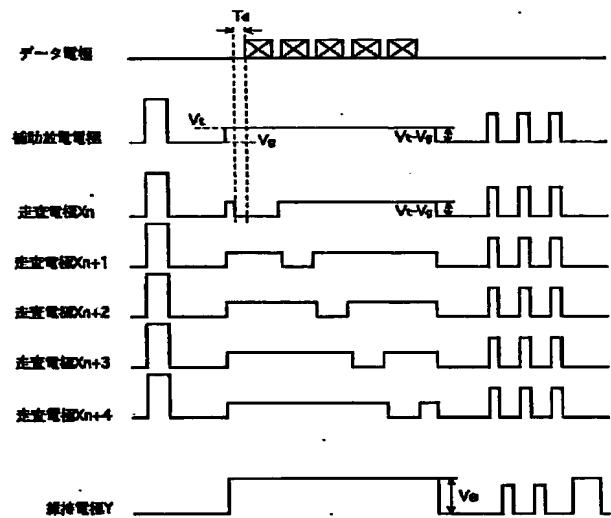
【図 43】



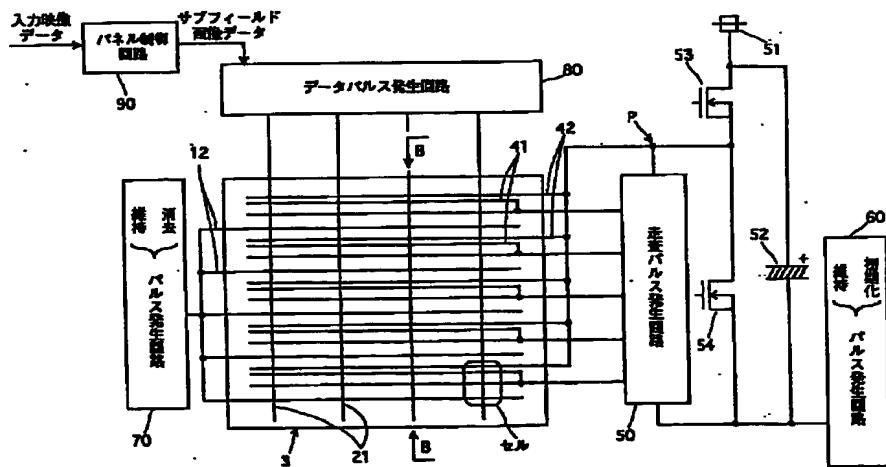
【図 26】



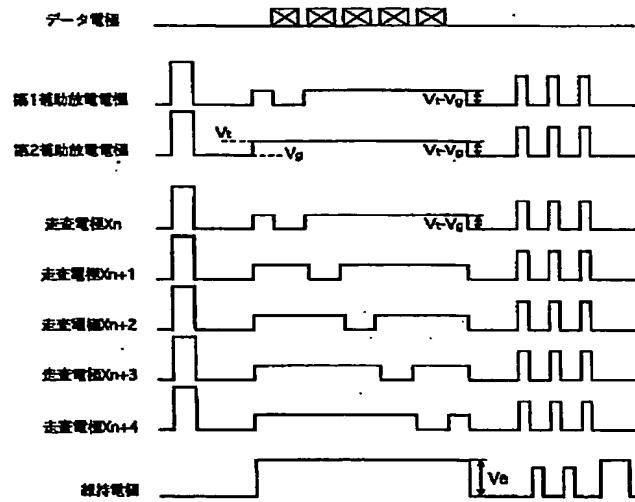
【図27】



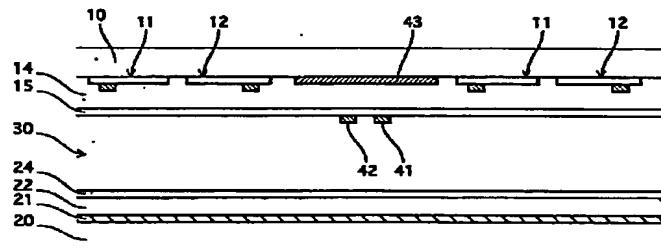
【図29】



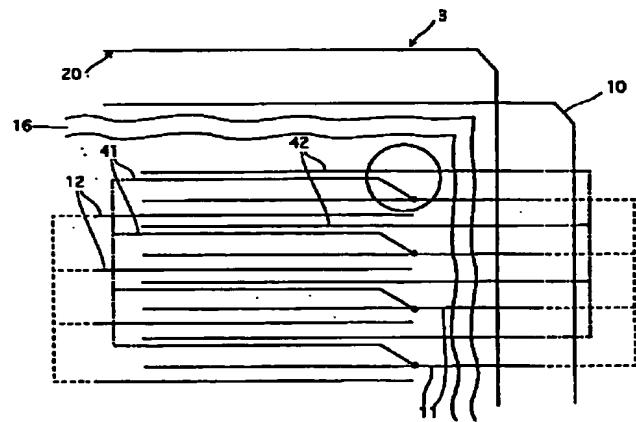
【図31】



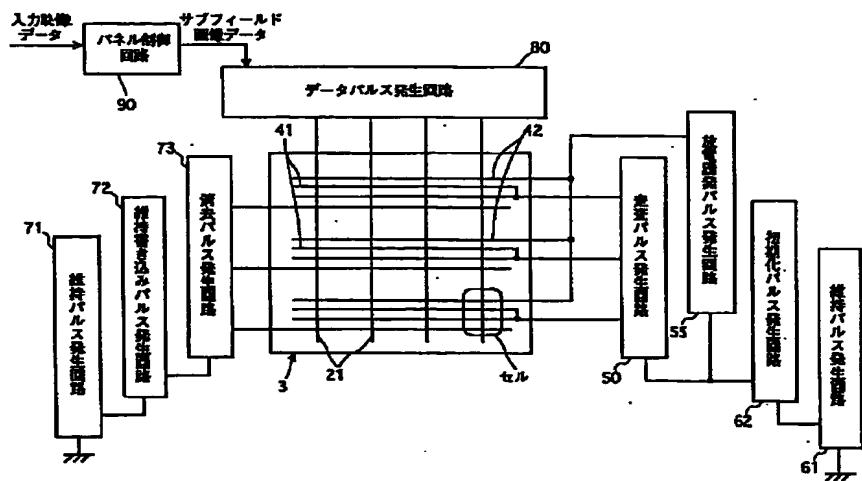
【図33】



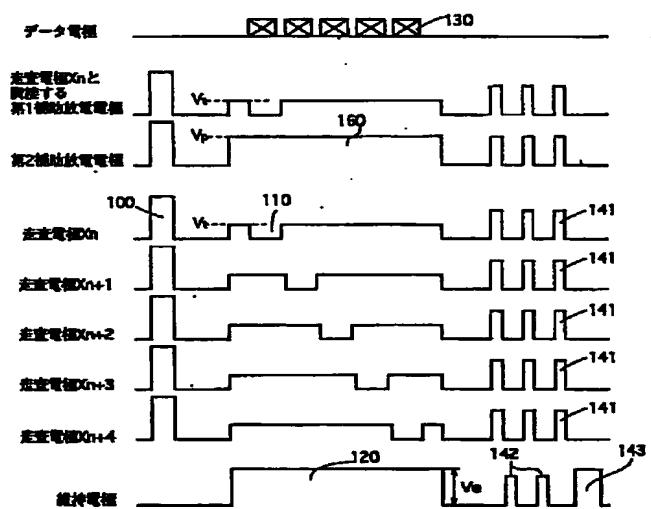
【図34】



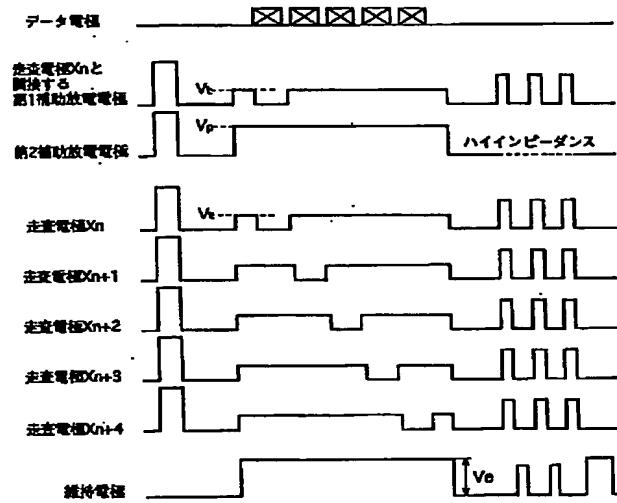
【図35】



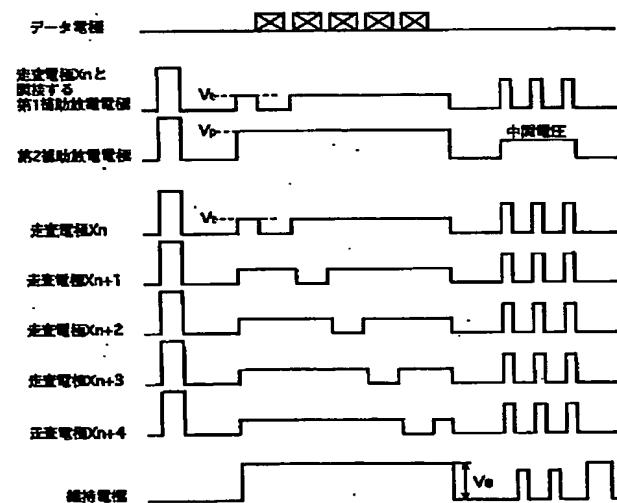
【図36】



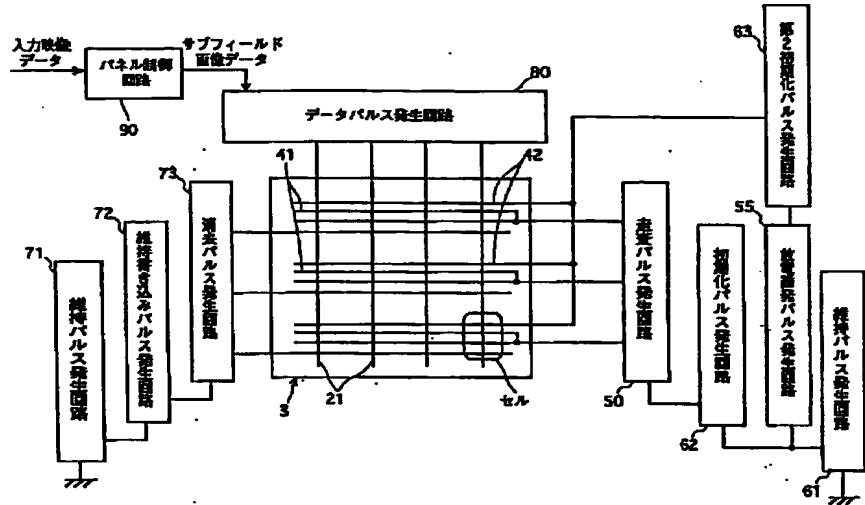
【図 3.7】



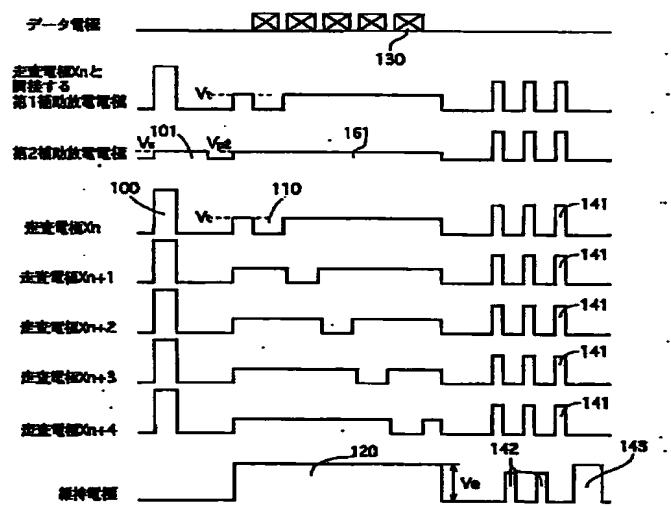
【図 3.8】



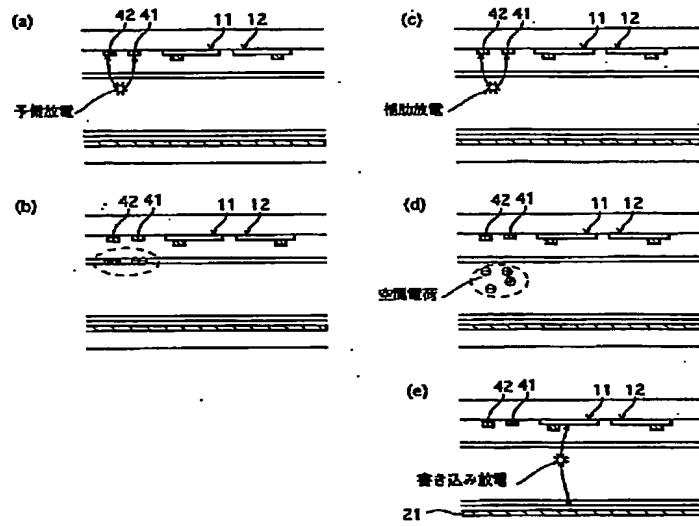
【図39】



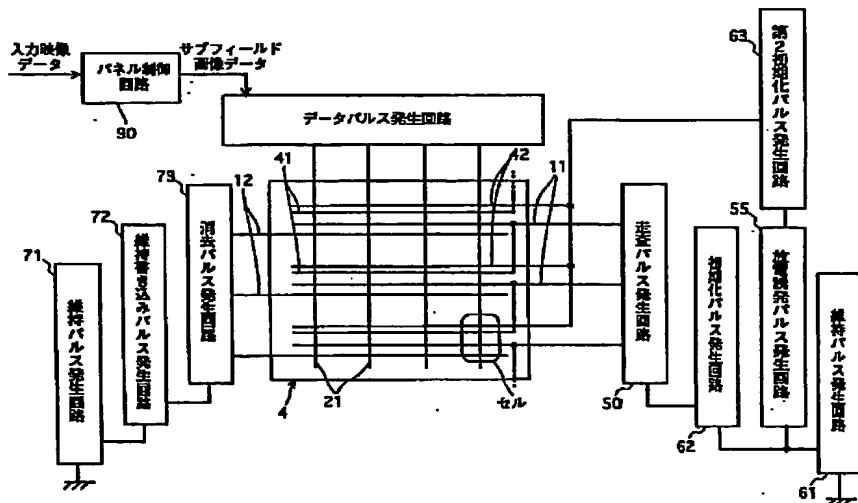
【図40】



【図4.1】



【図4.2】



フロントページの続き

(51) Int. Cl. <sup>7</sup>  
H 01 J 11/02

識別記号

H 04 N 5/66 101

F I  
H 01 J 11/02  
H 04 N 5/66  
G 09 G 3/28

マーク (参考)

Z  
101B  
E  
H

Fターム(参考) 5C040 FA01 FA04 GB03 CB13 GB16  
GC02 GC11 GH06 GK01 GK03  
LA18 MA17 MA20  
5C058 AA11 BA02 BA26 BB12  
5C080 AA05 BB05 DD03 DD08 DD09  
HH02 HH04 HH05 JJ02 JJ03  
JJ04 JJ06